

Service  
Service  
Service



# Service Manual



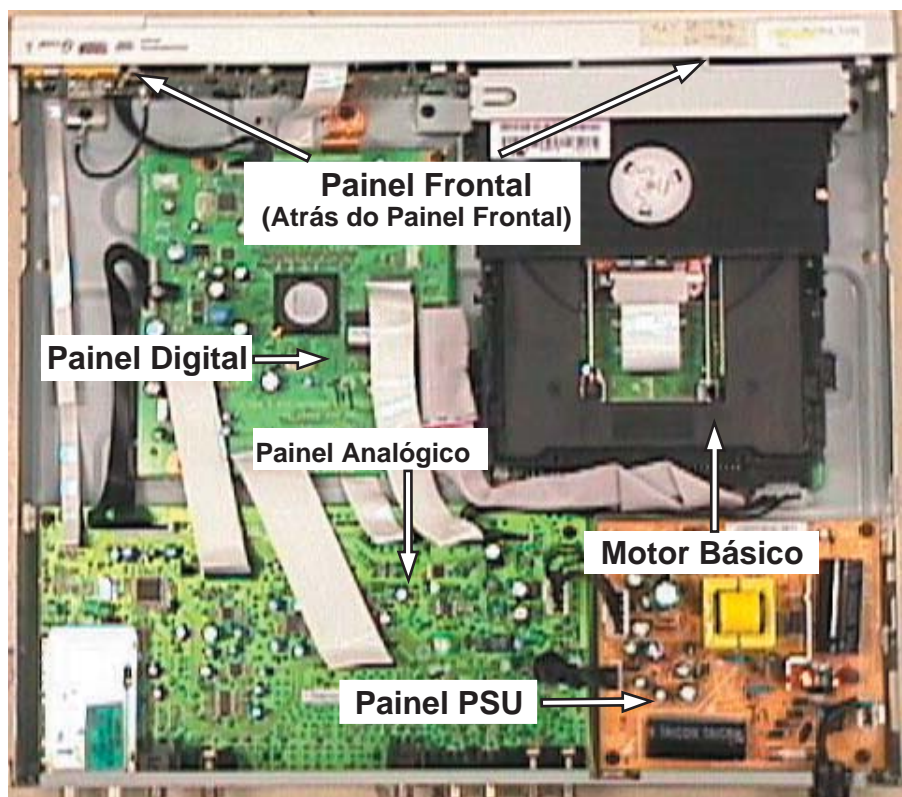
## Conteúdo

Conteúdo	Página
Especificações Técnicas	2
Localização dos Painéis	2
Instruções de Segurança	4
Instruções Mecânicas	6
Atualização Firmware	9
Diagrama em Bloco	11
Diagrama de Conexões	12
Painel analógico- Formas de ondas	13
Painel analógico- Layout	15
Painel Digital- Layout	16
Painel analógico- Entrada-Saída Vídeo	17
Painel analógico- Áudio ADC/DAC	18
Painel analógico- Processador de áudio Multi	19
Painel analógico PSU e Interfaces	20
Painel analógico- Layouts	21
Painel Frontal- Display	23
Painel Frontal Entrada de áudio/vídeo	24
Painel Frontal Layout	25
Painel Frontal Standby	26
Painel Digital- Processador Traseiro	27
Painel Digital- Memória	28
Painel Digital- Camada Física	29
Painel Digital- Processador Entrada de Vídeo	30
Painel Digital- Interfaces	31
Layout	32
Unidade Fonte de Alimentação	34
Circuito e descrição de IC	35
Vista Explodida	56



# 1. Especificação Técnica e Conexões

## 1.1 Localização dos Paineis



## 1.2 Geral:

Alimentação	: 127V /37 : 110V - 240V /55 : 220V - 240V /75/97
Consumo	: 25 W (típico)
Consumo Standby	: < 3 W

## 1.3 RF Tuner

Teste equipamento: Fluke 54200 TV Sinal gerado  
Teste streams: Philips Standard teste padrão

### 1.3.1 Sistema

NTSC-M

### 1.3.2 RF - Loop Through:

Relação Frequência	: 45 - 860 MHz
Ganho: (Entrada ANT - Saída ANT):	: $\geq -6\text{dB}$
Interferência de rádio / entrada max. tensão, em 75Ω, 3 método tom ( $\leq -40\text{dB}$ )	: Sem limite

### 1.3.3 Modulador:

Modulação de Vídeo	: $80\% \pm 15\%$
Resposta de Frequência	: $0 \pm 3\text{dB}$ , 0...4.2MHz
Modulação de Áudio tom 1kHz	: $\pm 12\text{kHz}$ , tol. $\pm 4\text{kHz}$

### 1.3.4 Receiver:

PLL sintonia com AFC para melhor recepção	
Relação de Frequência	: 55 - 805 MHz
Sensitividade em 40 dB S/N	: $\leq 60\text{dB}\mu\text{V}$ em 75 Ω (video unweighted)

### 1.3.5 Desempenho de Vídeo:

Canal	25 / 503,25 MHz,
Teste padrão:	standard teste padrão.
Nível RF	74dBμV
Medição na Saída de Cinch	
Resposta de Frequência	: 0.1 - 3.58 MHz -1 $\pm$ 3dB

### 1.3.6 Desempenho de Áudio:

#### Desempenho Analógico de Áudio - HiFi:

Resposta de Frequência em Cinch (L+R) saída	: 100 Hz - 10 kHz / 0 $\pm$ 3dB
S/N de acordo com DIN 45405, 7, 1967 e PHILIPS standard teste padrão	
sinal de vídeo	: $\geq 45\text{dB}$
Distorção de harmônia (1 kHz, $\pm 25$ kHz deviation)	: $\leq 1.5\%$

### 1.3.7 Sintonia

#### Procura de Sintonia Automática

Tempo de scanning sem antena	: typ. 3 min.
Nível stop (vision carrier)	: $\geq 37\text{dB}\mu\text{V}$
Sintonia máxima durante erro de operação	: $\pm 100$ kHz

#### Sintonia Manual

Seleção manual no modo "STORE"

## 1.4 Entradas e Saída Analógicas

### 1.4.1 Entrada Externa (Traseira)

#### **Video - Y/C (Hosiden)**

de acordo IEC 933-5

Sobrepôr nível DC no pino 4 (carga  $\geq 100\text{k}\Omega$ ):

< 2.4V é detectado como taxa de aspecto 4:3

> 3.5V é detectado como taxa de aspecto 16:9

Tensão de entrada Y	: 1 Vpp $\pm$ 3dB
Impedância de entrada Y	: 75 $\Omega$
Tensão de entrada C	: burst 300 mVpp $\pm$ 3dB
Impedância de entrada C	: 75 $\Omega$

#### **Video Cinch**

Tensão de entrada	: 1 Vpp $\pm$ 3dB
Impedância de entrada	: 75 $\Omega$

#### **Audio Cinch**

Tensão de entrada	: 2.2 Vrms max.
Impedância de entrada	: > 10k $\Omega$

### 1.4.2 Conectores de Entrada Frontal Audio/Video

#### **Audio**

Tensão de entrada	: 2 Vrms max.
Impedância de entrada	: > 10k $\Omega$

#### **Video - Cinch**

Tensão de entrada	: 1 Vpp $\pm$ 3dB
Impedância de entrada	: 75 $\Omega$

#### **Video - YC (Hosiden)**

de acordo IEC 933-5

Sobrepôr nível DC no pino 4 (carga  $\geq 100\text{k}\Omega$ ):

< 2.4V é detectado como taxa de aspecto 4:3

> 3.5V é detectado como taxa de aspecto 16:9

Tensão de entrada Y	: 1 Vpp $\pm$ 3dB
Impedância de entrada Y	: 75 $\Omega$
Tensão de entrada C	: burst 300 mVpp $\pm$ 3dB
Impedância de entrada C	: 75 $\Omega$

### 1.4.3 Saída 1

#### **Component Video Cinch Y/Pb/Pr / Progressive Scan**

de acordo EIO-770-1-A, EIA-770-2-A

#### **Audio - Cinch**

Tensão de saída	: 2 Vrms max
Impedância de saída	: < 2k $\Omega$

### 1.4.4 Saída 2

#### **Video - Y/C (Hosiden)**

Tensão de saída Y	: 1 Vpp $\pm$ 3dB
C	: burst 300 mVpp $\pm$ 1dB
Impedância de saída Y, C	: 75 $\Omega$

#### **Video - Cinch**

Tensão de saída	: 1 Vpp $\pm$ 1dB
Impedância de saída	: 75 $\Omega$

#### **Audio - Cinch**

Tensão de saída	: 2 Vrms max
Impedância de saída	: < 1k $\Omega$

## 1.5 Desempenho de Vídeo DVD

Todas as saídas carregadas com 75 Ohm

SNR medição total da largura da faixa sem compensação.

### 1.5.1 Todas as Saídas

SNR	: > 48dB
Largura da faixa	: 4.2 MHz - 3dB

## 1.6 Desempenho do Áudio do CD

### 1.6.1 Saída Traseira Cinch

Tensão de saída do modo canal 2	: 2Vrms $\pm$ 1dB
Canal sem balanço (1kHz)	: <1dB
Crosstalk 1kHz	: >100dB
Crosstalk 20Hz-20kHz	: >87dB
Resp. de frequência 20Hz-20kHz	: $\pm$ 0.2dB max
Taxa sinal/ruído (A-compensado)	: >90dB
Relação dinâmica 1kHz	: >83dB
Distorção e ruído 1kHz	: >83dB
Distorção e ruído 20Hz-20kHz	: >75dB
Distorção intermodulação	: >70dB
Mute	: >95dB
Atenuação da banda de saída:	: >40dB acima de 30kHz

## 1.7 Saída Digital

### 1.7.1 Coaxial

CDDA / LPCM	: de acordo IEC60958
MPEG1, MPEG2, AC3 audio	: de acordo IEC61937
DTS	: de acordo IEC61937 correção 1

## 1.8 Entrada de Vídeo Digital (IEEE 1394)

### 1.8.1 Aplicações Standards

De acordo com a implementação:

IEEE Std 1394-1995

IEC 61883 - Part 1

IEC 61883 - Part 2 SD-DVCR (02-01-1997)

Especificações do uso digital usando VCR de 6.3 mm  
fita magnética - dec. 1994

Acordo de conexão mecânica:

Anexo A do 61883-1

## 1.9 Dimensões e Peso

Tamanho do pé	: 5.5mm
Aparato de bandeja fechada	: WxDxH: 360x43x322mm
Peso em embalagem	: 3 kg
Peso com embalagem	: 4 kg

## 1.10 Saída Energia Laser & Comprimento da Onda

### 1.10.1 DVD

Saída de energia durante leitura	: 1.0mW
Saída de energia durante escrita	: 30mW
Comprimento da onda	: 650nm

### 1.10.2 CD

Saída de energia	: 1.0mW
Comprimento da onda	: 780nm

## 1.11 Velocidade da escrita


Tipo do Disco(Função)	Veloc. Rotativo Disco
Veloc. Leitura CD	7X CAV (25Hz)
Veloc. Leitura DVD	4X CAV (40Hz)
Veloc. Escrita DVD+RW	2.4X ZCAV
Veloc. Escrita DVD+R	2.4X ZCAV

## 2. Informações de segurança, Notas Gerais & Exigência de Sem Clumbo

### 2.1 Instruções de Segurança

#### 2.1.1 Segurança geral

Os regulamentos de segurança requerem que durante um reparo:

- Conecte a unidade aos cabos principais um transformador de isolamento.
- Recoloque os componentes de segurança, indicados pelo símbolo , somente pelos componentes idênticos aos originais. Qualquer outra substituição de componente (com exceção do tipo original) pode aumentar o risco de fogo ou choque elétrico.

Os regulamentos de segurança requerem que depois de um reparo, você deve retornar a unidade na sua condição original. Preste atenção, particularmente, nos seguintes pontos:

- Distribua os fios e cabos corretamente, e repare-os com os acampamentos montados do cabo.
- Verifique a isolação da condução dos fios principais para danos externos.
- Verifique a resistência elétrica DC entre os fios dos plugs principais e o lado secundário:
  1. Desplugue os cabos principais, e conecte um fio entre os dois pinos do plugue principal.
  2. Ajuste os fios do interruptor principal na posição "ON" (mantenha o cabo dos fios principais plugados!)
  3. Meça o valor da resistência entre os fios dos plugues principais e do painel frontal, controle e botão de chassis.
  4. O reparo ou a unidade correta quando a resistência está sendo medida é de menos de 1 MΩ.
  5. Verifique isto, antes de retornar a unidade ao cliente / usuário (ref. UL- padrão no. 1492).
  6. Mude a unidade para "OFF", e remova o fio entre os dois pinos do plugue principal.

#### 2.1.2 Segurança de laser

Essa unidade emprega um laser. Somente pessoal de serviço qualificado pode remover a tampa, ou tente prestar serviços de manutenção nesse dispositivo (devido a possível ferimento nos olhos).

#### Unidade do dispositivo de Laser

Tipo: laser semi-condutor GaAlAs

Comprimento de onda: 650 nm (DVD)

780nm (VCD/CD)

Energia de saída: 20 mW (DVD+RW writing)

: 0.8 mW (leitura de DVD)

: 0.3 mW (leitura de VDC/CD)

Divergência do feixe: 60 graus




Figura 2-1

**Nota:** o uso dos controles ou do ajuste ou o desempenho do procedimento à exceção daqueles especificado nisto, podem resultar na exposição perigosa da radiação. Evite a exposição direta ao feixe.

### 2.2 Cuidados

#### 2.2.1 Geral

- Todos os ICs e muitos outros semicondutores são suscetíveis as descargas eletrostáticas (ESD, ) a manipulação descuidada durante o reparo pode reduzir a vida drasticamente. Certifique-se que durante o reparo, você está no mesmo potencial que a massa do aparelho por uma pulseira com resistência. Mantenha os componentes e ferramentas na mesma potência.
- Equipamentos de proteção disponíveis ESD:
  - Kit completo ESD3 (pequenas TABLEMAT, WRISTBAND, caixa de conexão, cabo de extensão e fio terra) 4822 310 10671.
  - Verificador Wristband 4822 344 13999
- Tenha cuidado durante a medida da seção viva da tensão. O lado primário da fonte de energia (pos. 105), incluindo o dissipador de calor, carrega a tensão viva dos fios principais quando você conecta o aparelho nos fios principais (mesmo quando o aparelho está desligado!). É possível tocar nas trilhas e nos componentes de cobre nesta área preliminar desprotegida, quando você prestar serviços de manutenção no aparelho. O pessoal de serviço deve tomar precauções para evitar tocar esta área ou componentes desta área. Um "lightning stroke" e uma listra marcada impressa no painel de fiação, indica o lado preliminar da fonte de alimentação.
- Nunca substitua módulos ou componentes enquanto a unidade estiver ligada.

#### 2.2.2 Laser

- O uso de instrumentos ópticos com este produto irá aumentar o perigo de atingir o olho.
- Apenas o pessoal de serviço qualificado pode remover a tampa ou tentar prestar serviço de manutenção a esse dispositivo, devido a possível ferimento nos olhos.
- A manipulação do reparo deve ocorrer tanto quanto possível com um disco carregado dentro do aparelho
- O texto abaixo é colocado dentro da unidade, no protetor de tampa do laser:

CAUTION VISIBLE AND INVISIBLE LASER RADIATION WHEN OPEN AVOID EXPOSURE TO BEAM  
 ADVARSEL SYNLIG OG USYNLIG LASERSTRÅLING VED ÅBNING UNDGÅ UDSÆTTELSE FOR STRÅLING  
 ADVARSEL SYNLIG OG USYNLIG LASERSTRÅLING NÅR DEKSEL ÅPNES UNNGÅ EKSPONERING FOR STRÅLING  
 VARNING SYNLIG OCH OSYNLIG LASERSTRÅLNING NÅR DENNA DEL ÄR ÖPPNAD BETRÄKTA EJ STRÅLEN  
 VAROJ AVATTAESSA OLET ALTIINNA NÄKYVÄLLE JA NÄKYMÄTTÖMÄLLE LASER SÄTEILYLLE. ÄLÄ KATSO SÄTEESEEN  
 VORSICHT SICHTBARE UND UNSICHTBARE LASERSTRAHLUNG WENN ABDECKUNG GEÖFFNET NICHT DEM STRAHLAUSSETZEN  
 DANGER VISIBLE AND INVISIBLE LASER RADIATION WHEN OPEN AVOID DIRECT EXPOSURE TO BEAM  
 ATTENTION RAYONNEMENT LASER VISIBLE ET INVISIBLE EN CAS D'OUVERTURE EXPOSITION DANGEREUSE AU FAISCEAU

Figura 2-2

#### 2.2.3 Notas

##### Dolby

Manufaturado sob licença do Dolby Laboratories. "Dolby", "Pro Logic" e o símbolo duplo-D são marcas registradas do Laboratório Dolby.

© 1992-1997 Laboratório Dolby, Inc. Todos os direitos reservados.



Figura 2-3

##### Trusurround

TRUSURROUND, SRS e o símbolo (fig. 2-4) são marcas registradas do Laboratório SRS, Inc. A tecnologia TRUSURROUND é manufaturada sob licença do laboratório SRS, Inc.



Figura 2-4

### Vídeo Plus

"Video Plus+" e "Plus Code" são marcas registradas do Gemstar Development Corporation. O sistema "Video Plus+" é fabricado sob a licença da Gemstar Development Corporation.



Figura 2-5

### Microvision

Este produto incorpora tecnologia de proteção de cópia que é o método de proteção exigido da certificado U.S de patentes e outros proprietários intelectuais da própria Macrovision Corporation.

O uso desta tecnologia de proteção de cópia deve ser autorizada pela Macrovision Corporation e é permitido para casa e outros limites somente com autorização da Macrovision Corporation. A desmontagem é proibida.

### 2.3 Solda sem chumbo

A Philips CE está produzindo aparelhos sem chumbo (PbF) de 1.1.2005 para frente.

Identificação: A linha principal de um tipo de prato dá um número de série de 14 dígitos. Os dígitos 5 e 6 referem-se ao ano de produção, os dígitos 7 e 8 referem-se à semana de produção (no exemplo abaixo, é 1991 na semana 18).



Apesar do logo especial sem chumbo (que nem sempre é indicado), ONE MUST TREAT todos os aparelhos de sua data pra frente de acordo com as regras descritas abaixo.



Com a tecnologia sem chumbo, algumas regras devem ser respeitadas pelo workshop durante o reparo:

- Use apenas ferramentas de solda sem chumbo Philips SAC305 com o código de pedido 0622 149 00106. Se a pasta de solda sem chumbo é necessária, por favor contate o fabricante do equipamento de solda. No geral, o uso de pasta de solda em workshops deve ser evitada pois a pasta não é facilmente manuseada nem armazenada.
- Use apenas ferramentas de solda aplicáveis para ferramenta de solda sem chumbo. A ferramenta de solda deve:
  - Alcançar na ponta da ferramenta a temperatura de pelo menos 400°
  - Estabilizar o ajuste de temperatura na ponta da solda.
  - Troque a ponta de solda para diferentes aplicações.
- Ajuste sua ferramenta de solda para que a temperatura de 360° - 380° seja alcançada e estabilizada na junção da solda. O tempo de aquecimento da junção da solda não deve exceder ~ 4s. Evite temperaturas acima de 400°, ou então "wear-out" das pontas irá aumentar drasticamente e o fluxo- fluido será destruído. Para evitar "wear-out" de pontas, desligue o equipamento não usado ou reduza a temperatura.
- Misturar parte/ ferramenta de solda sem chumbo com partes/ ferramentas de solda com chumbo é possível mas a PHILIPS recomenda que se evite isso. Se não puder ser evitado, cuidadosamente limpe a solda da antiga ferramenta e re-solde com uma nova ferramenta.
- Use apenas peças originais listadas no Manual de Serviço. Mate-

riais padrão não listados (comodities) devem ser comprados em companhias externas.

- Informações especiais para ICs BGA sem chumbo: estes ICs serão entregues no chamado "pacote a seco" para proteger o IC contra umidade. Este pacote só pode ser aberto pouco antes de ser usado (soldado). Ou então o corpo do IC fica "molhado" dentro e durante o tempo de aquecimento a estrutura do IC será destruída por causa da alta temperatura dentro do corpo. Se o pacote for aberto antes do uso, o IC deve ser esquentado por algumas horas (em torno de 90°) Para secar (pense na proteção ESD!). NÃO RE-USE BGAs de modo algum!
- Para produtos produzidos ante de 1.1.2005, contendo ferramenta de solda com chumbo e componentes, toda a lista de peças será avaliada até o fim do período de serviço. Para reparo destes aparelhos, nada muda.
- No website [www.atyourservice.ce.Philips.com](http://www.atyourservice.ce.Philips.com) você encontra mais informações sobre:
- (De) Solda BGA (+ instruções de operação bancária).
- Perfis de aquecimento dos BGAs e outros ICs usados em aparelhos Philips.

Você encontra estas e mais informações técnicas em "magazine", capítulo "workshop news".

Para questões adicionais, por favor, contate o help desk local.

### 3. Instrução de Uso

Veja o Manual no GIP.



## 4. Instruções Mecânicas

Nota : Os números das posições refere-se a Vista Explodida.

### 4.1 Desmontagem da Tampa da Bandeja DVD Manualmente

- 1) Insira uma chave de fenda no vão na parte inferior do aparelho e empurre na direção como mostra a figura 4-1 para destravar antes de retirar o carregador 1001.

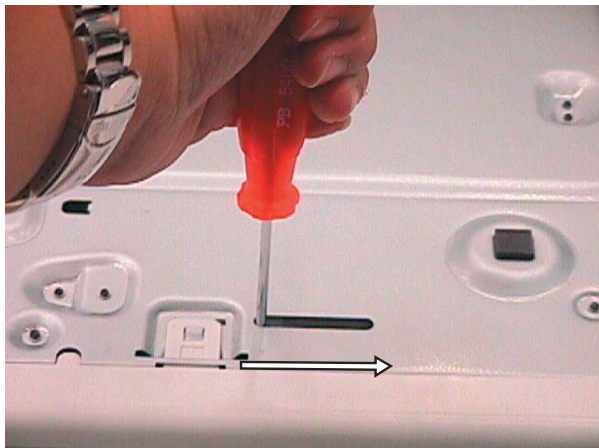


Figura 4-1: Destruar o Carregador

- 2) Remova a Tampa da Bandeja 110 como mostra a Figura 4-2 .

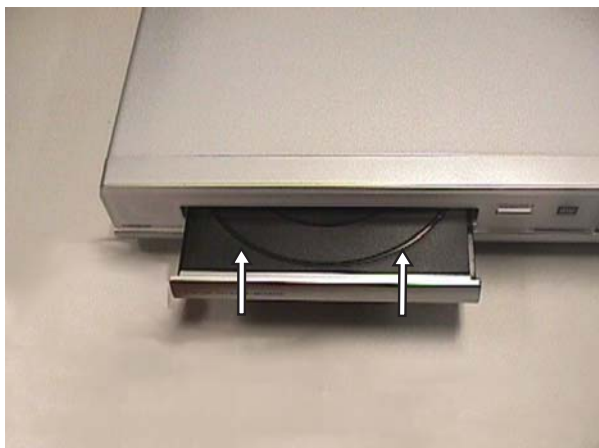


Figura 4-2: Remova a Tampa da Bandeja

### 4.2 Desmontagem do Motor Básico (Drive D4.5)

- 1) Remova os 7 parafusos para soltar a tampa Superior 240 .
- 2) Remova os parafusos para soltar o painel Motor Básico 1001 como mostra a figura 4-3.

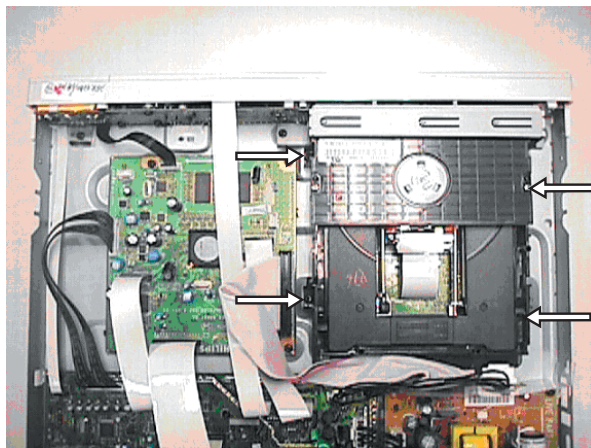


Figura 4-3: Solte os parafusos do Motor Básico

- 3) Remova os 4 parafusos para soltar a placa de proteção do Painel Motor Básico.
- 4) A posição de Serviço do Painel de Motor Básico como mostra a fig. 4-4 após remover a placa de proteção PCBA.

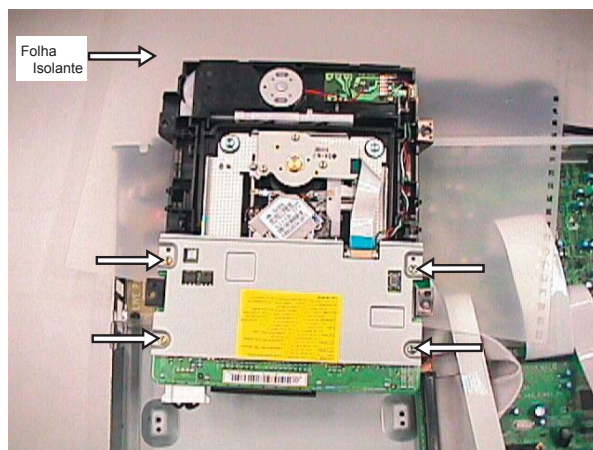


Figura 4-4: Posição de Serviço do Motor Básico

### 4.3 Desmontagem do Painei Digital

- 1) Remova os 4 parafusos para soltar o Painei Digital 1004 como mostra a Figura 4-5.

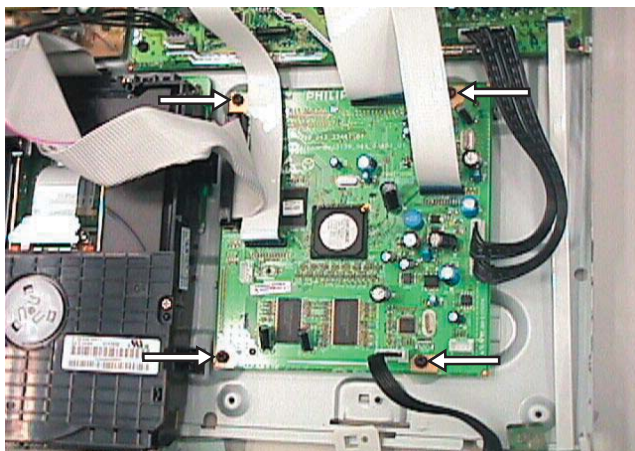


Figura4-5: Remova o Painei Digital Board

- 2) Posição de Serviço do Painei Digital Board é dado na Figura 4-6.

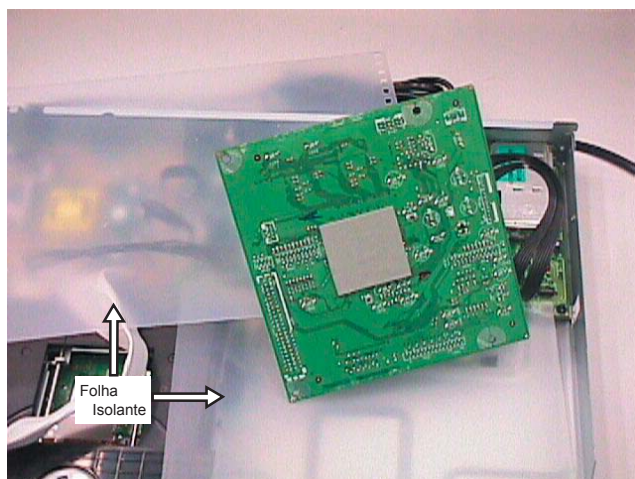


Figura 4-6: Posição de Serviço do Painei Digital

### 4.4 Desmontagem do Painei Analógico

- 1) Solte os parafusos do painel traseiro no Painei Analógico. Remova os parafusos do Painei Analógico como mostra a Figura 4-7.

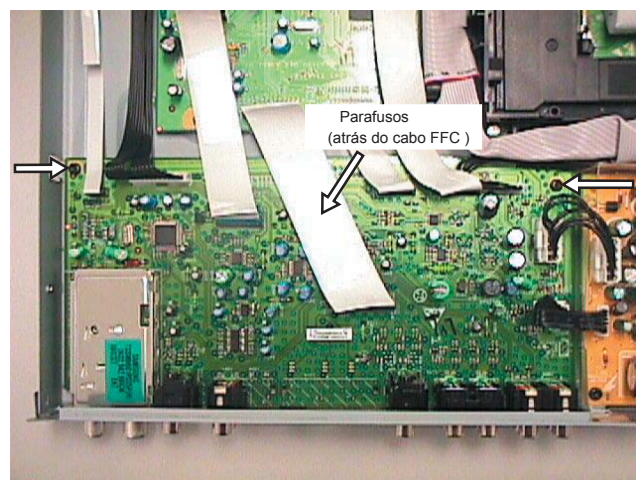


Figura 4-7: Remova os parafusos do Painei Analógico

- 2) A Posição de Serviço do Painei Analógico é dado na Fig.4-8.

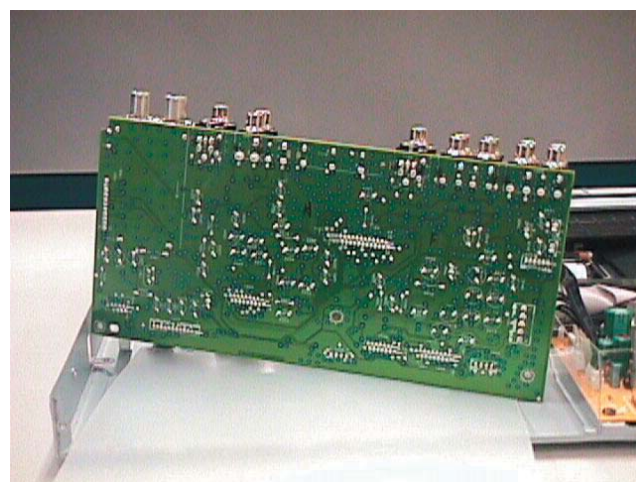


Figura 4-8: Posição de Serviço do Painei Analógico



#### 4.5 Desmontagem do Paine PSU

- 1) Remova os 3 parafusos e solte o Paine PSU 1007 como mostra a Figura 4 – 9 .
- 2) Posição de Serviço do Paine PSU é dado na Figura 4-10.

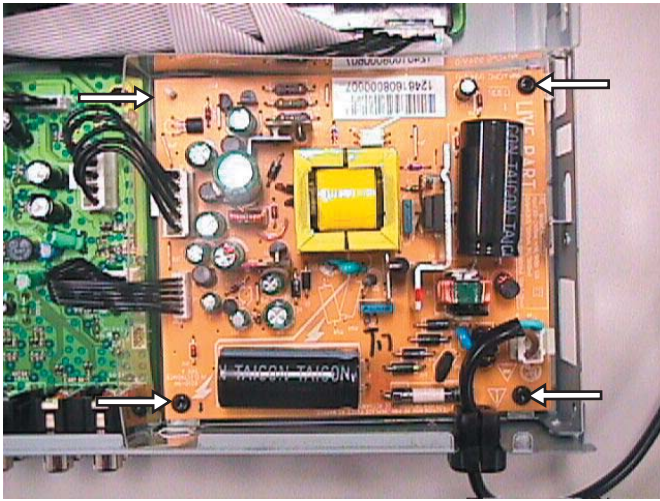


Figura 4-9: Solte os parafusos do Paine PSU

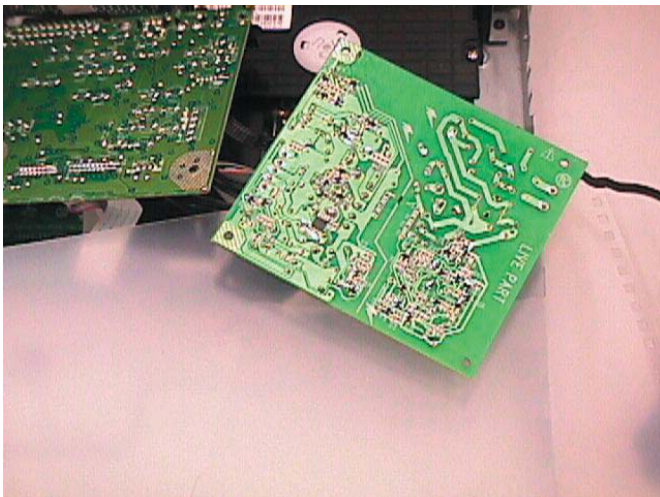


Figura 4-10: Posição de Serviço de PSU



## 5. Atualizando Firmware

### 5.1 Atualizando Firmware

#### A. Preparação para atualizar o firmware:

1. Unzip o arquivo zip
2. Cópie os arquivos diferentes da pasta para gravar separado em um CD-R/CDRW .
3. Inicie o software da Gravação do CD e crie um projeto novo CD (disco de dados) com as funções seguintes:  
Sistema de arquivo: Joliet  
Formato: MODE 2: CDROM XA  
Modo de gravação: Seção Simples (Faixa Única), CD Finalizado

Nota: Um nome de arquivo longo é preciso para preparação da atualização do disco.

4. Coloque o arquivo no diretório raiz do novo projeto CD.
5. Grave os dados em um CDRs ou CD-RWs virgem

#### B. Procedimento para aplicar a atualização do Drive:

1. Abra a bandeja e carregue o CDROM Atualizado com o **Arquivo Atualizado do Drive**
2. A bandeja fechada e o aparelho mostra:

**“DRV UPG”**

3. O OSD mostra

**“Loader Software Upgrade Disc detected . Select OK to start upgrading or CANCEL to exit.”**

4. Clique na tecla OK.
5. O aparelho mostra:

**“DRIVE UPGRADING”**

Com o display OSD

**“Upgrading Software . Please Wait . Do not switch off the power.”**

O processo inteiro leva menos de 5 minutos.

Nota: Não pressione nenhuma tecla ou interrompa a alimentação durante o processo de atualização, desta forma o aparelho apresentará defeito.

6. Quando a atualização estiver completa a bandeja abrirá automaticamente e o aparelho mostrará:

**“Loader Upgrade process has completed successfully . Press <OK> to reboot system.”**

7. A bandeja abre e mostrará:

**“DRV OK”**

8. Pressione <OK> e o aparelho muda para standby .

#### C. Procedimento para aplicar a atualização do software:

1. Abra a bandeja e carregue o CDROM de Atualização com **Arquivo Atualizado do Software**.
2. A bandeja fecha e o aparelho mostrará:

**“Upgrading SW”**

3. A OSD mostrará

**“Software Upgrade Disc detected . Select OK to start upgrading or CANCEL to exit .”**

4. Clique na tecla OK .
5. O aparelho mostrará:

**“Upgrading SW”**

e o OSD mostrará

**“Upgrading Software . Please Wait . Do not switch off the power.”**

O processo inteiro leva menos de 5 minutos.

Nota: Não pressione nenhuma tecla ou interrompa a alimentação durante o processo de atualização, desta forma o aparelho apresentará defeito.

6. Quando a atualização estiver completa a bandeja abrirá automaticamente e o aparelho mostrará:

**“System is successfully upgraded . Remove disc from tray and reset system.”**

7. A bandeja abre e o aparelho mostrará:

**“SW DONE”**

a bandeja abre automaticamente para o usuário remover o CD-ROM.

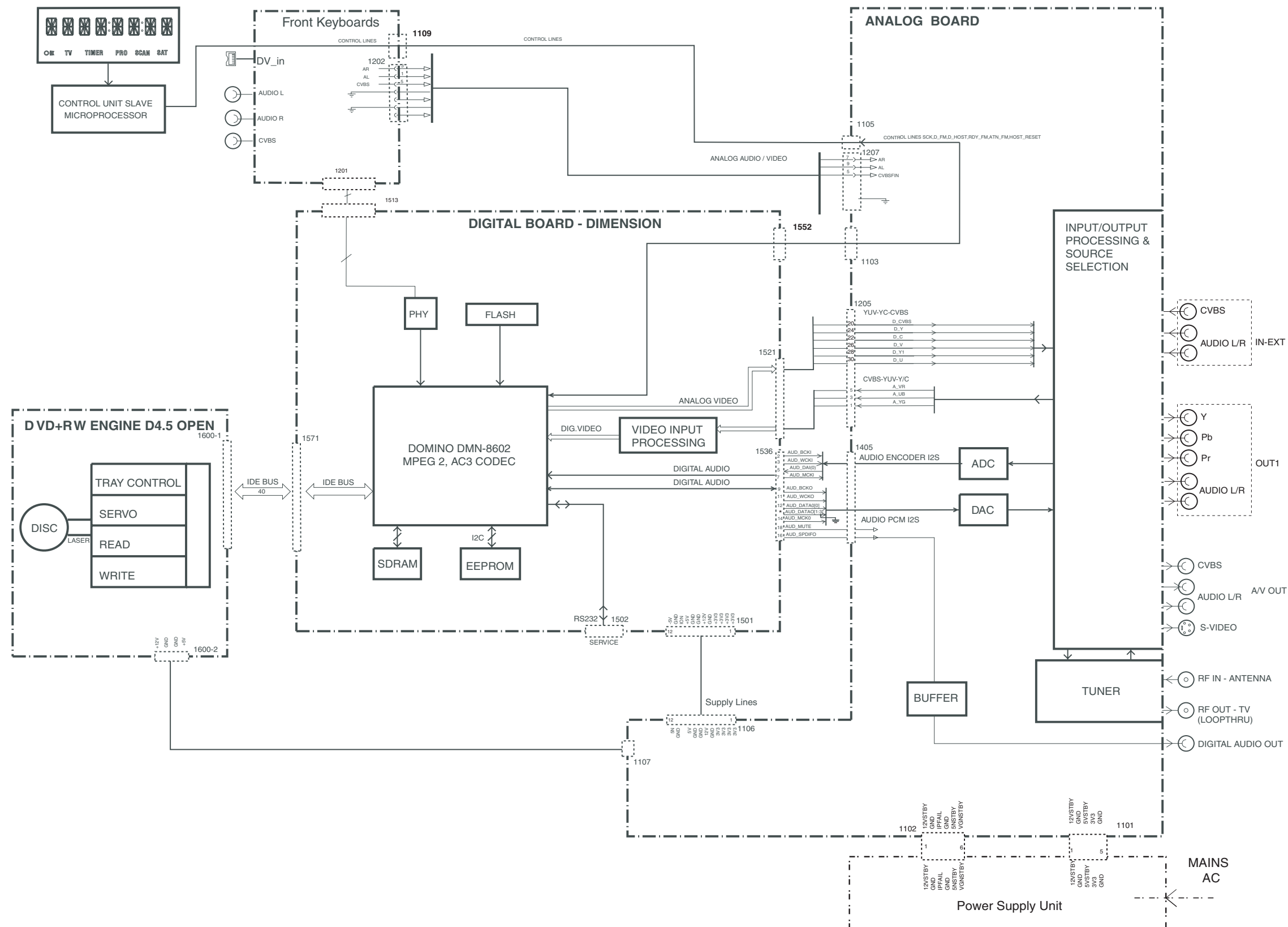
8. Pressione <OK> e mude para standby .

#### **D. Como ler a versão firmware para confirmar a atualização:**

1. Ligue o aparelho
2. Assegure-se que nenhum disco foi inserido para carregar, caso haja, abra a bandeja remova o disco e feche a bandeja.
3. Pressione <0> <0> <0> <9> seguidamente.
4. Pressione a tecla <OK>
5. O TV conectado ao aparelho mostrará:

**“DVDR3380\_AP\_V03\_07,Region: 3, Drive 45.04.05.04  
Build 0091 Apr 19 2006 , 10:08:29 Stroke: 97 ”**

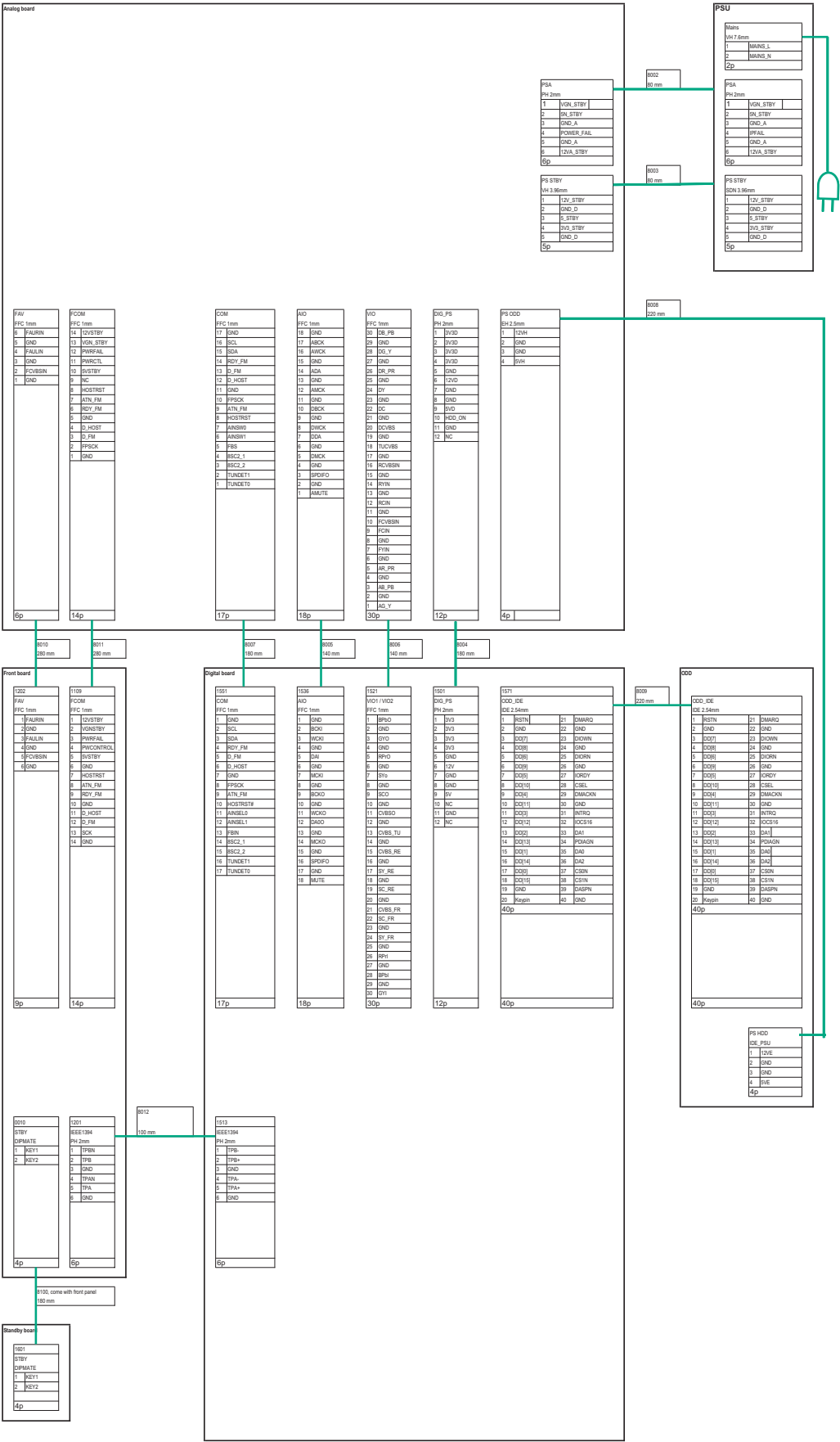
## DIAGRAMA EM BLOCO



\* Where AUD\_DATA[1:3] refers to pinout 20,21,23 respectively

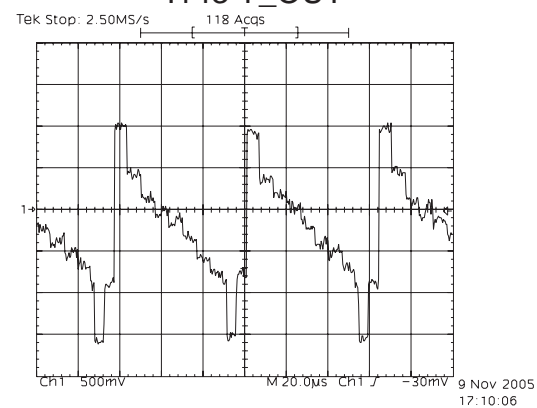


DIAGRAMA DE CONEXÕES

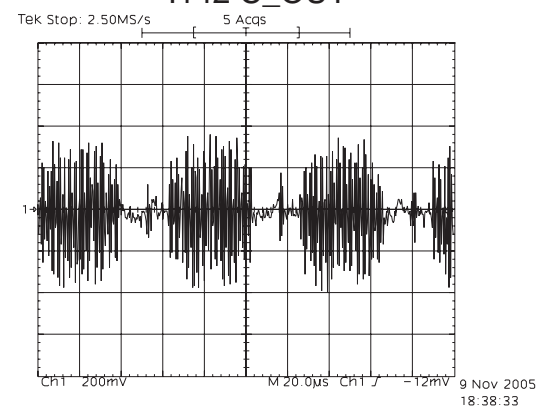


## PAINEL ANALÓGICO - FORMAS DE ONDAS

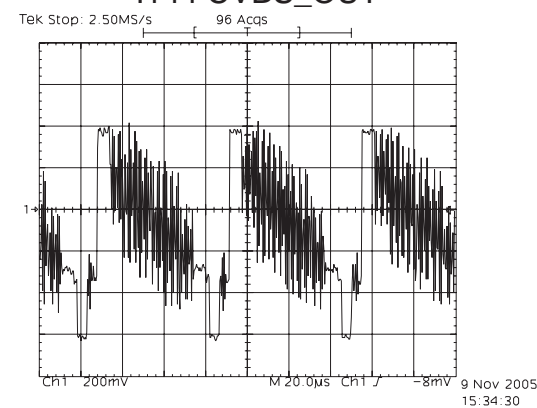
I143 Y\_OUT



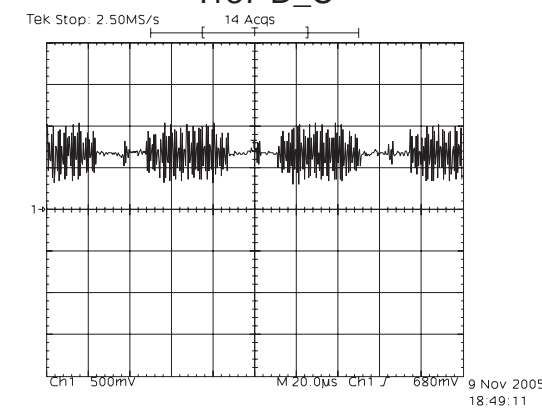
I142 C\_OUT



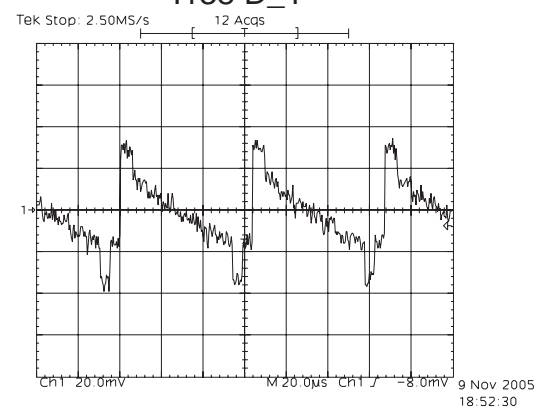
I144 CVBS\_OUT



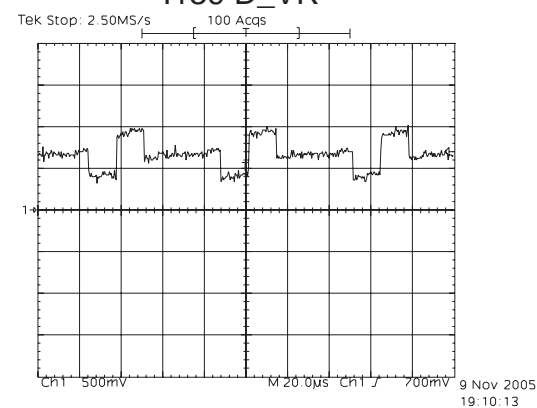
I137 D\_C



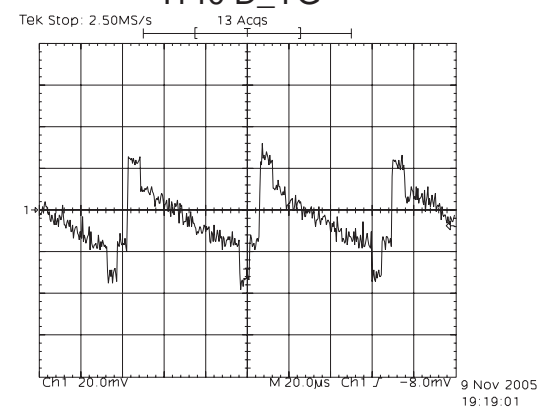
I138 D\_Y



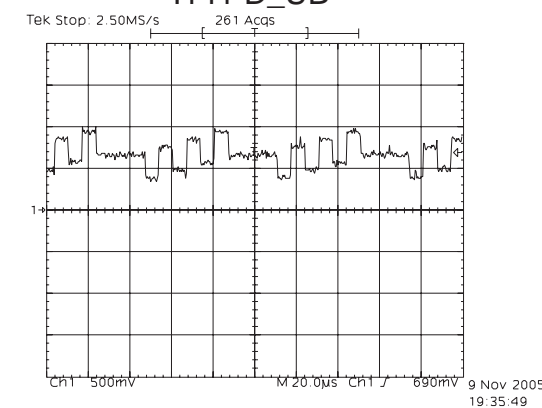
I139 D\_VR



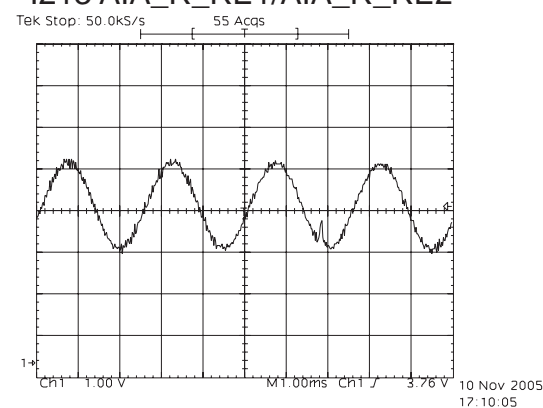
I140 D\_YG



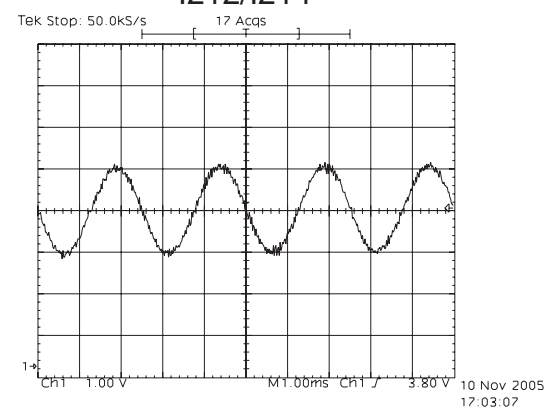
I141 D\_UB



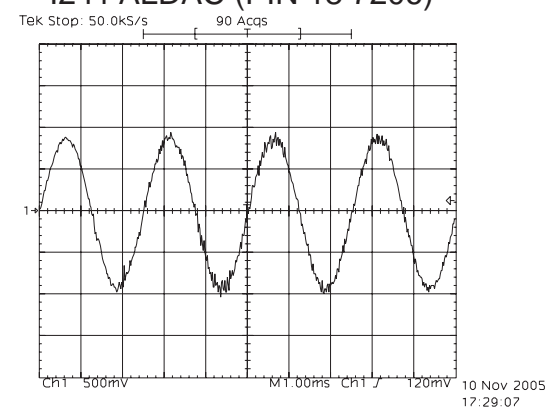
I213 AIA\_R\_RE1/AIA\_R\_RE2



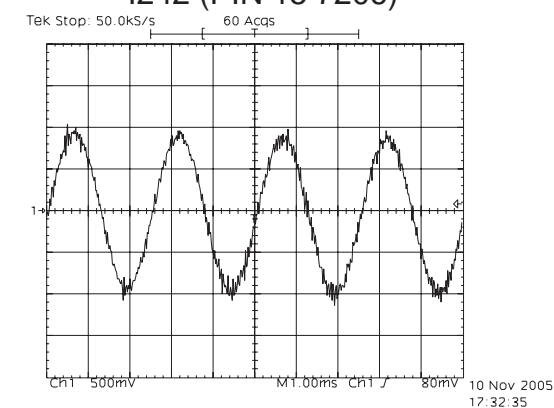
I212/I214



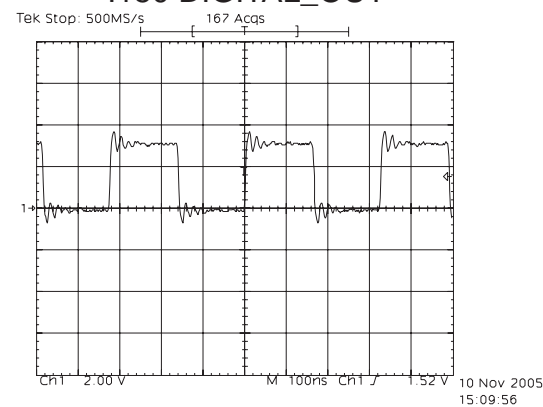
I241 ALDAC (PIN 18 7206)



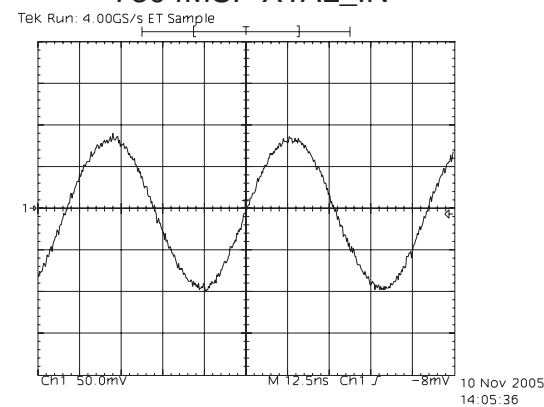
I242 (PIN 15 7206)



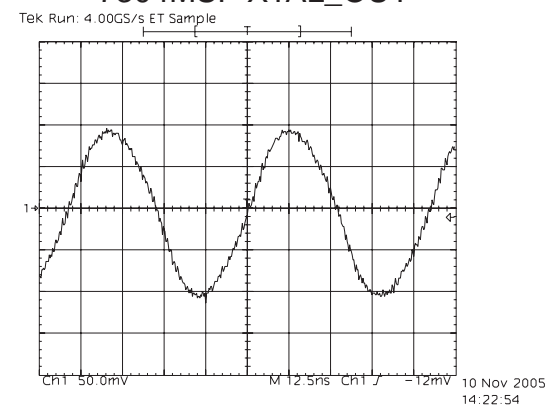
I150 DIGITAL\_OUT



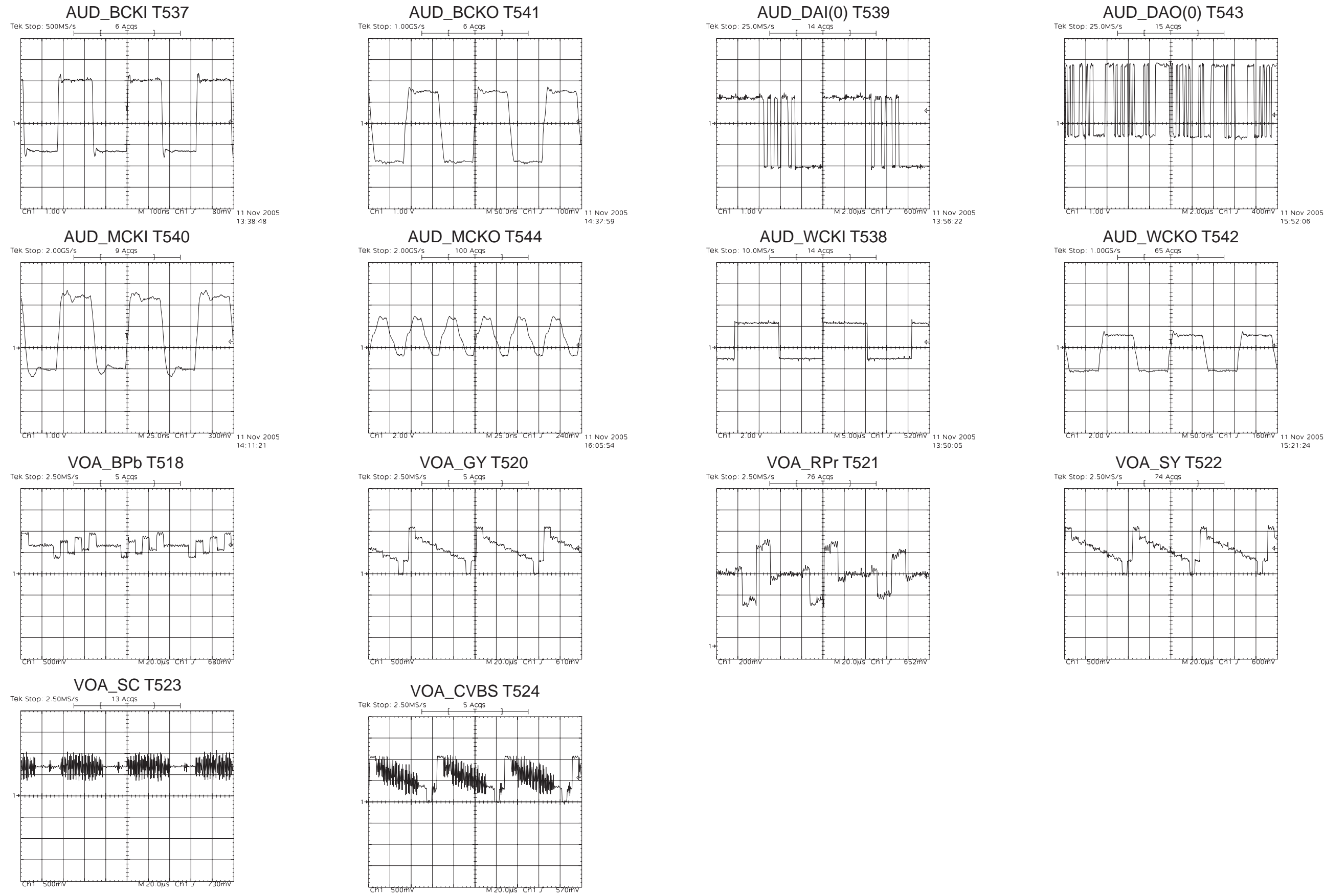
7304MSP XTAL\_IN



7304MSP XTAL\_OUT



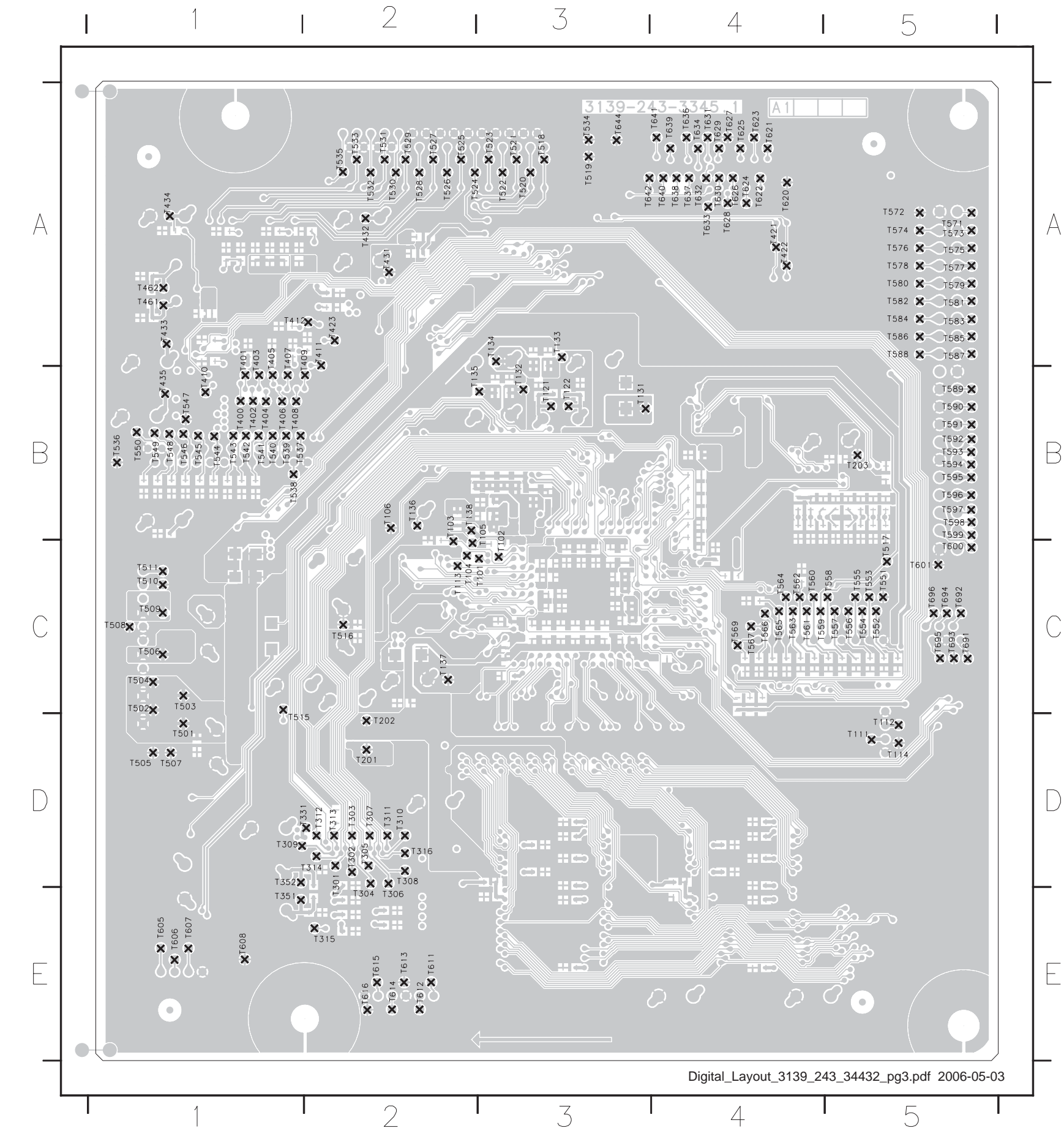
PAINEL ANALÓGICO - FORMAS DE ONDAS







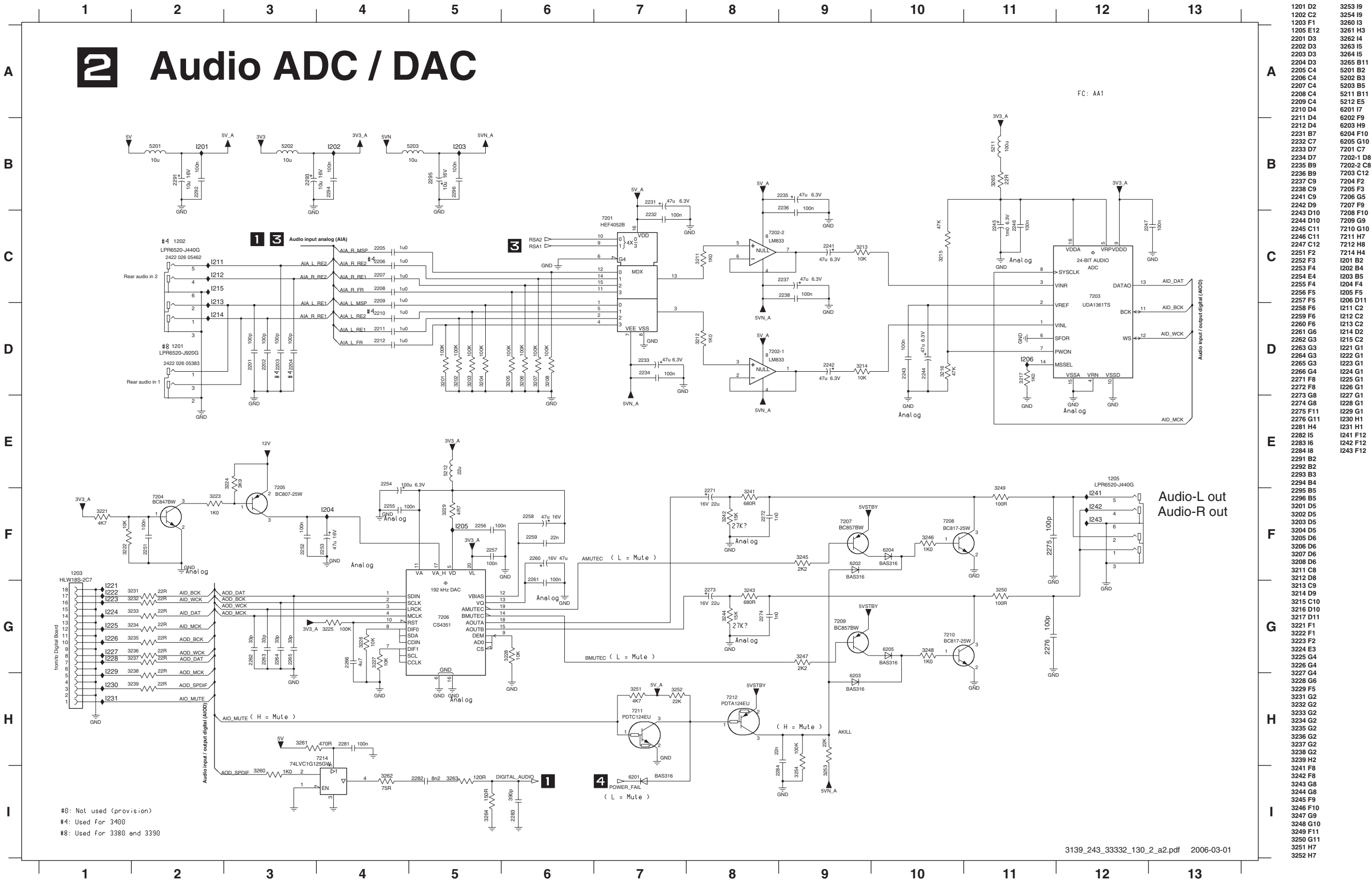
PAINEL DIGITAL- LAYOUT







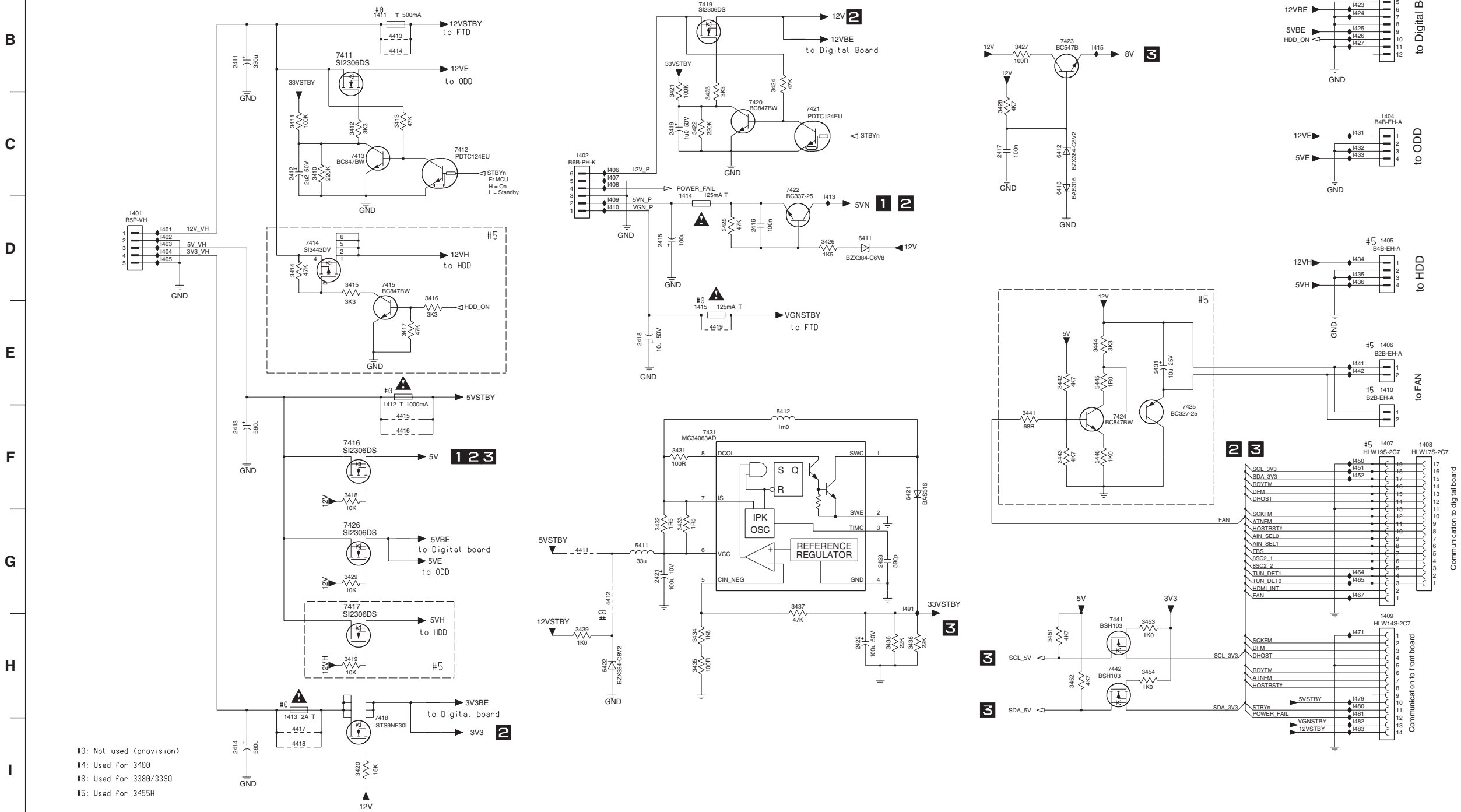
PAINEL ANALÓGICO ÁUDIO ADC/DAC





## PAINEL ANALÓGICO - PSU E INTERFACES

## 4 PSU and interfaces

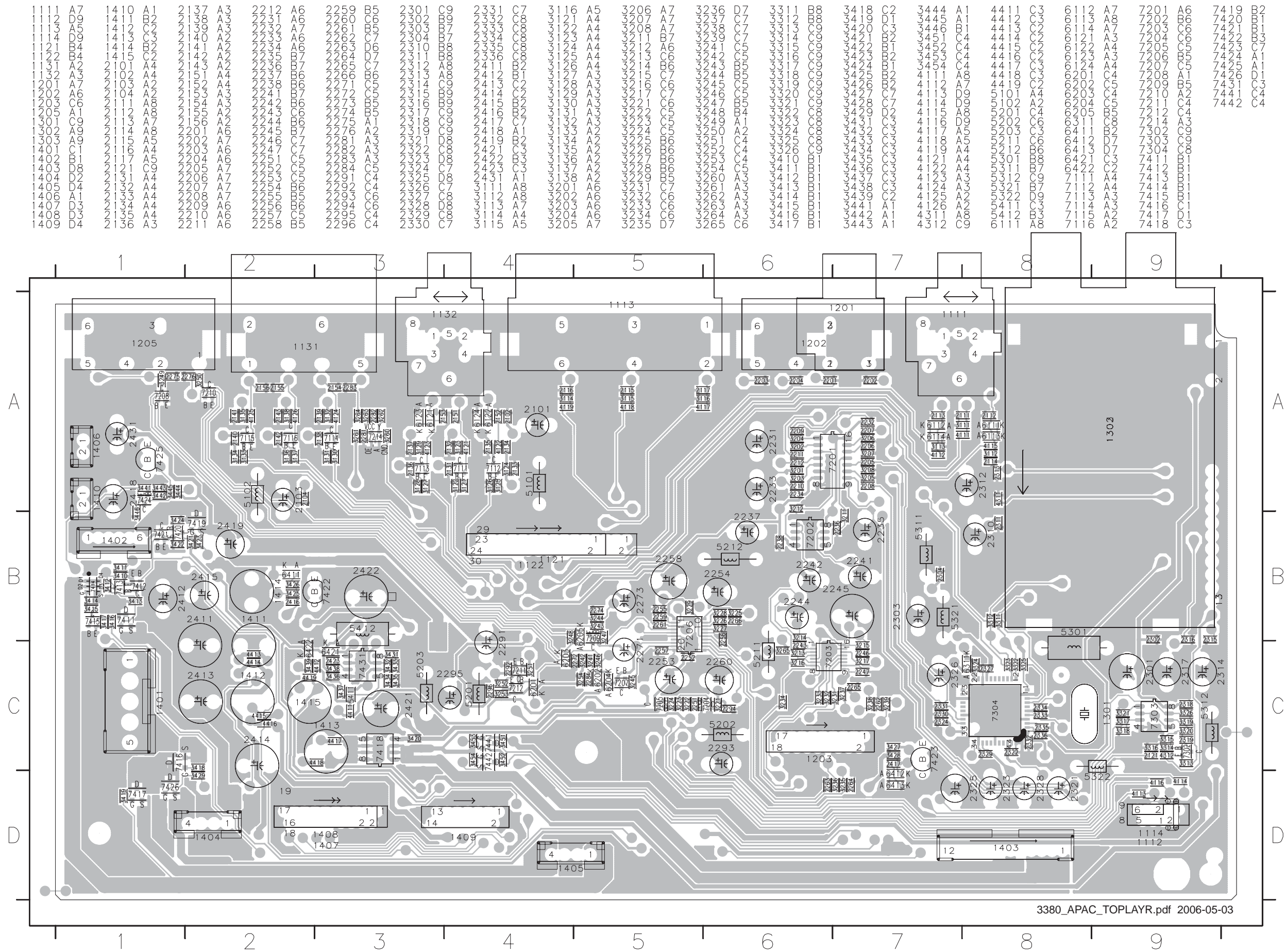


3139\_243\_33332\_130\_4\_a2.pdf 2006-03-01

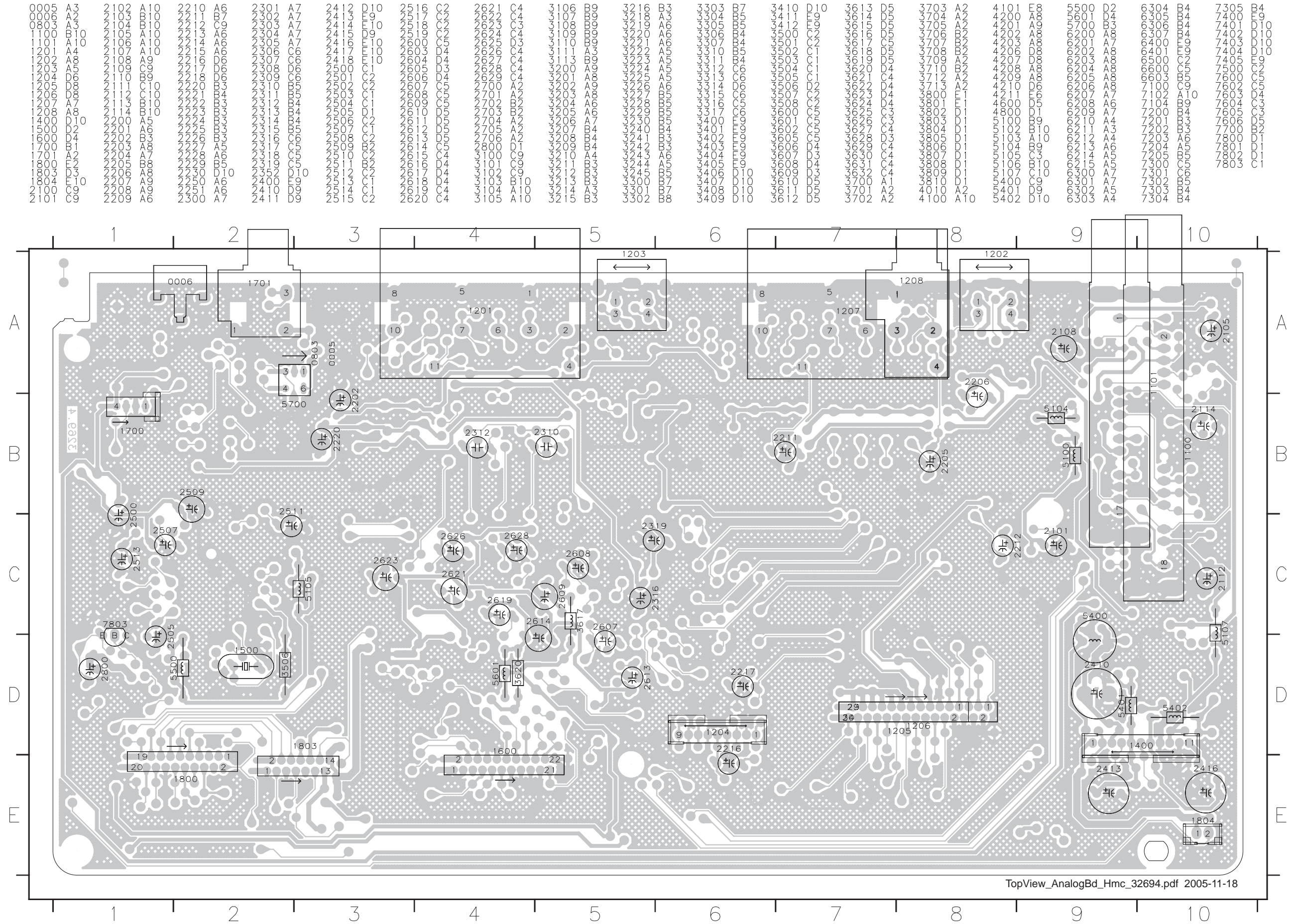
14001 D1	14008 C5
14002 C5	14009 D6
14003 A13	1410 D6
14004 C13	1413 D8
14005 D13	1415 B10
14006 E13	1421 A13
14007 F13	1422 B13
14008 F13	1423 B13
14009 H13	1424 B13
1410 E13	1425 B13
1411 B13	1426 B13
1412 E4	1427 B13
1413 H3	1431 C13
1414 C6	1432 C13
1415 E7	1433 C13
2411 B2	1434 D13
2412 C3	1435 D13
2412 F2	1436 D13
2414 I2	1441 E13
2415 D6	1442 E13
2416 D7	1450 F13
2417 C9	1451 F13
2418 E6	1452 F13
2419 C6	1464 G13
2421 G6	1465 G13
2422 H8	1467 G13
2423 E12	1471 H13
2431 E11	1479 H13
3410 C3	1480 H13
3411 C3	1481 H13
3412 C3	1482 I13
3413 C4	1483 I13
3414 D3	1491 G9
3415 D3	
3416 D4	
3417 E4	
3418 F3	
3419 H3	
3420 I3	
3421 B6	
3422 C7	
3423 C7	
3424 B7	
3425 D7	
3426 D8	
3427 B10	
3428 C9	
3429 G3	
3431 F6	
3432 G6	
3433 G6	
3434 H7	
3435 H7	
3436 H8	
3437 G7	
3438 H9	
3439 H5	
3441 F10	
3442 E10	
3443 F10	
3444 E10	
3445 E10	
3446 F10	
3451 H10	
3452 H10	
3453 H11	
3454 H11	
4411 G5	
4412 G6	
4413 B4	
4414 B4	
4415 F4	
4416 F4	
4417 I3	
4418 I3	
4419 E7	
5411 G6	
5412 F7	
6411 D8	
6412 C10	
6413 C10	
6421 F9	
6422 H6	
7411 B3	
7412 C4	
7413 C3	
7414 D3	
7415 D4	
7416 F3	
7417 G3	
7418 I3	
7419 B7	
7420 C7	
7421 C8	
7422 C7	
7423 B10	
7424 F11	
7425 E11	
7426 G3	
7431 F7	
7441 H10	
7442 H10	
1401 D1	
1402 D1	
1403 D1	
1404 D1	
1405 D1	
1406 C6	
1407 C6	



## PAINEL ANALÓGICO - LAYOUT - PARTE PRINCIPAL (VISTA SUPERIOR)



### PAINEL ANALÓGICO- LAYOUT -PARTE PRINCIPAL (VISTA INFERIOR)





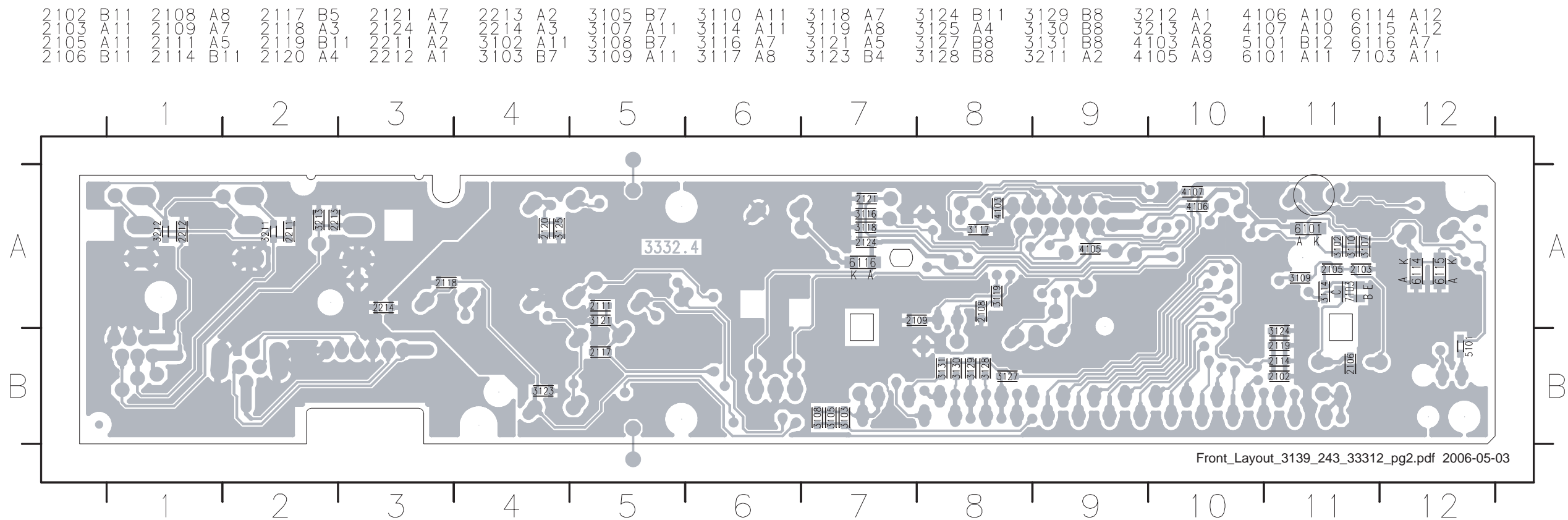
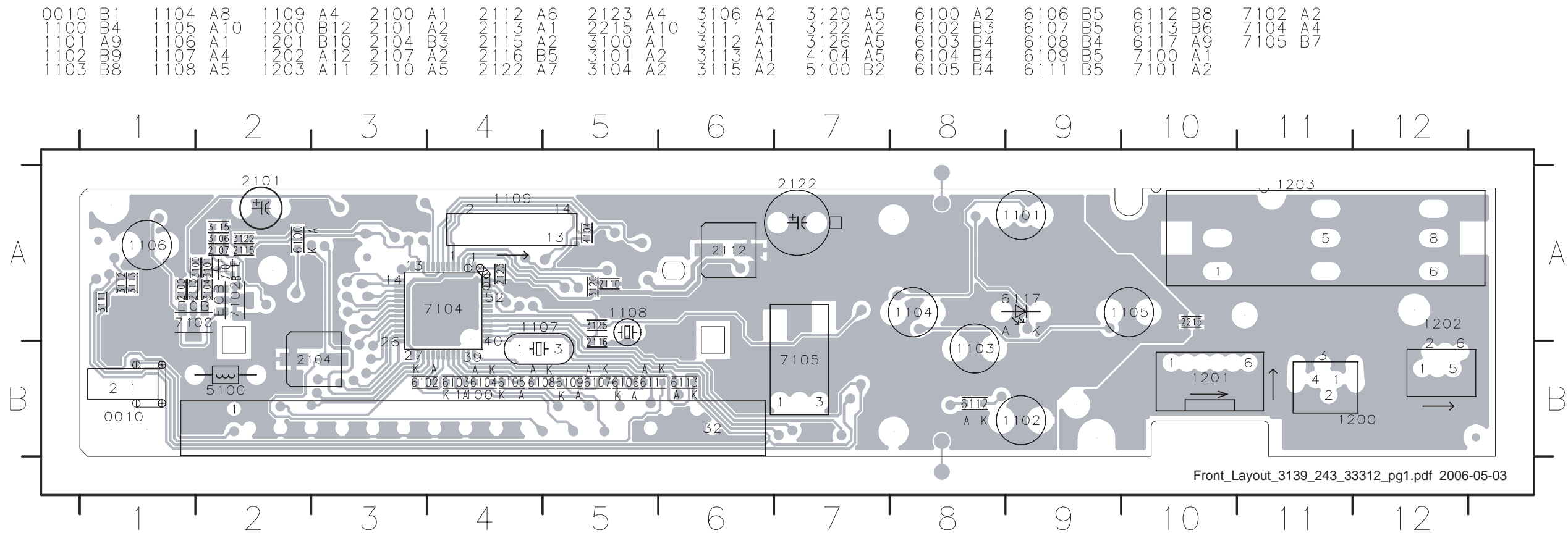
0010 E3	6108 D10
1100 A6	6109 D10
1101 F1	6111 E3
1102 F2	6112 F3
1103 F2	6113 F3
1104 F1	6114 G3
1105 F2	6115 G3
1106 F2	6116 H3
1107 E10	6117 H5
1108 F10	7100 A3
1109 F13	7101 B2
2100 A4	7102 B3
2101 B4	7103 C1
2102 B5	7105 H13
2103 B1	F100 B6
2104 B5	F101 B9
2105 B1	F102 E13
2106 B1	F103 E13
2107 B2	F104 E13
2108 F10	F105 E13
2109 F11	F106 F3
2110 F9	F107 F13
2111 G2	F108 F13
2112 G11	F110 F13
2113 G12	F111 F13
2114 G12	F112 F13
2115 G12	F113 F13
2116 G13	F114 F13
2117 G2	F115 E9
2118 G2	F117 F10
2119 H10	F119 F10
2120 H3	F120 H5
2121 I9	F121 H3
2122 I3	F122 H12
2123 I3	F123 I12
2124 I12	
3100 A3	
3101 A2	
3102 A4	
3103 A10	
3104 A3	
3105 A10	
3106 A2	
3107 A4	
3108 B10	
3109 B1	
3110 B4	
3111 B5	
3112 B6	
3113 B6	
3114 B1	
3115 C2	
3116 D13	
3117 D13	
3118 E13	
3119 F10	
3120 F10	
3121 G2	
3122 G9	
3123 G2	
3124 H10	
3125 H2	
3126 H6	
3127 B9	
3128 B9	
3129 B10	
3130 B10	
3131 B10	
5100 B1	
5101 E3	
6100 B1	
6101 A5	
6102 D8	
6103 D9	
6104 D9	
6105 D9	
6106 D9	
6107 D10	

**ANOTAÇÕES:**

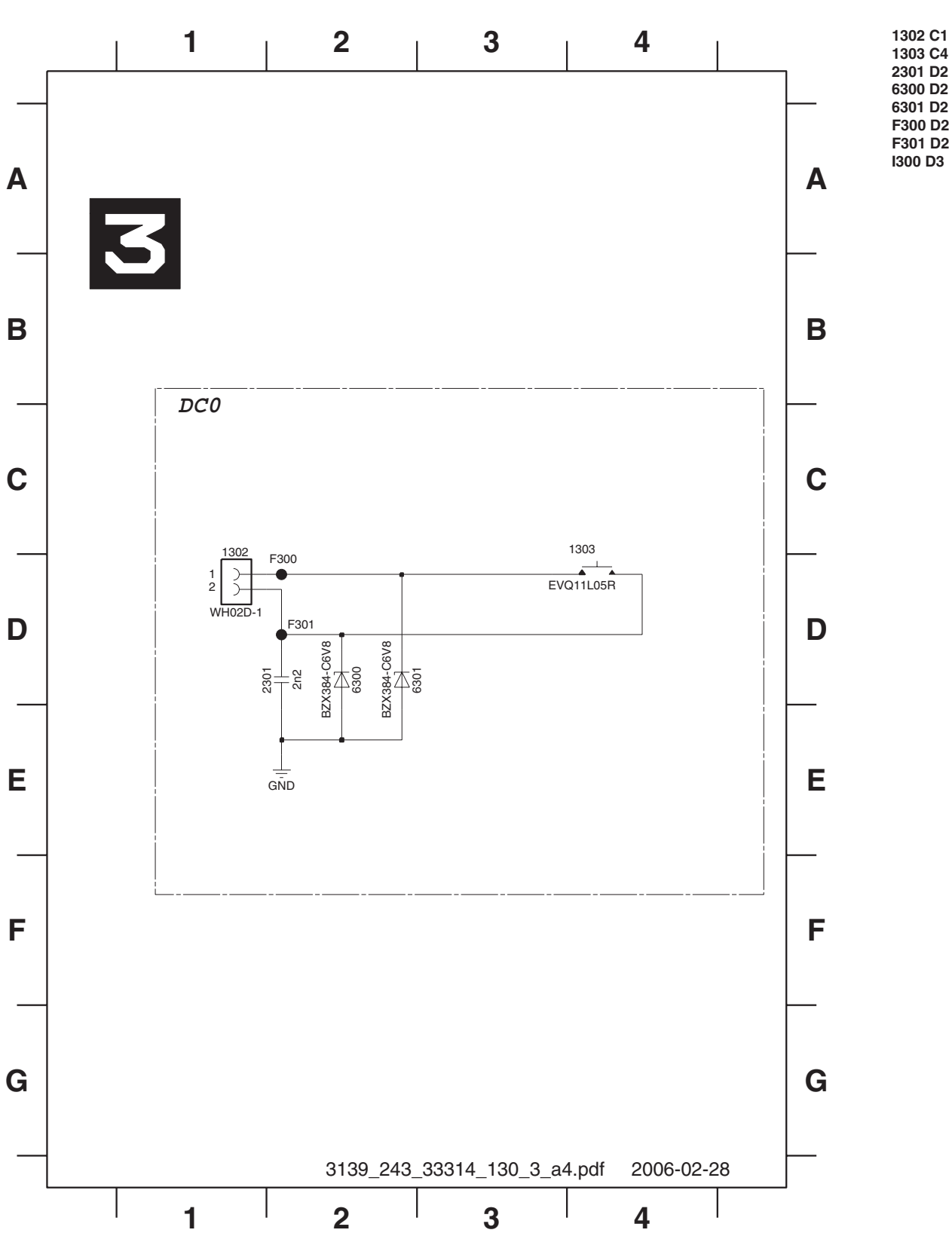




## PAINEL FRONTAL - LAYOUT SUPERIOR (SMD + COMPONENTES) E INFERIOR (COMPONENTES)



PAINEL FRONTAL - STANDBY



## 1 Back-end Processor



3139\_243\_33442\_130\_1\_a2.pdf 2006-02-14

## PAINEL DIGITAL - MEMÓRIA

## 2 Memory

A

B

C

D

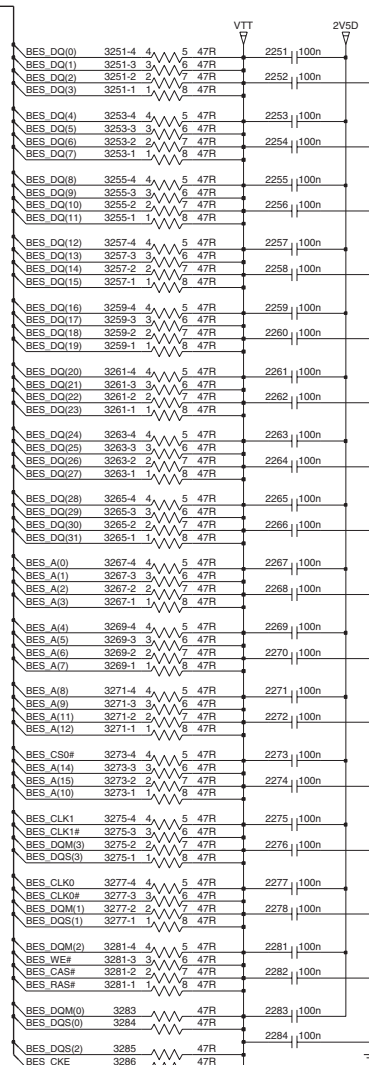
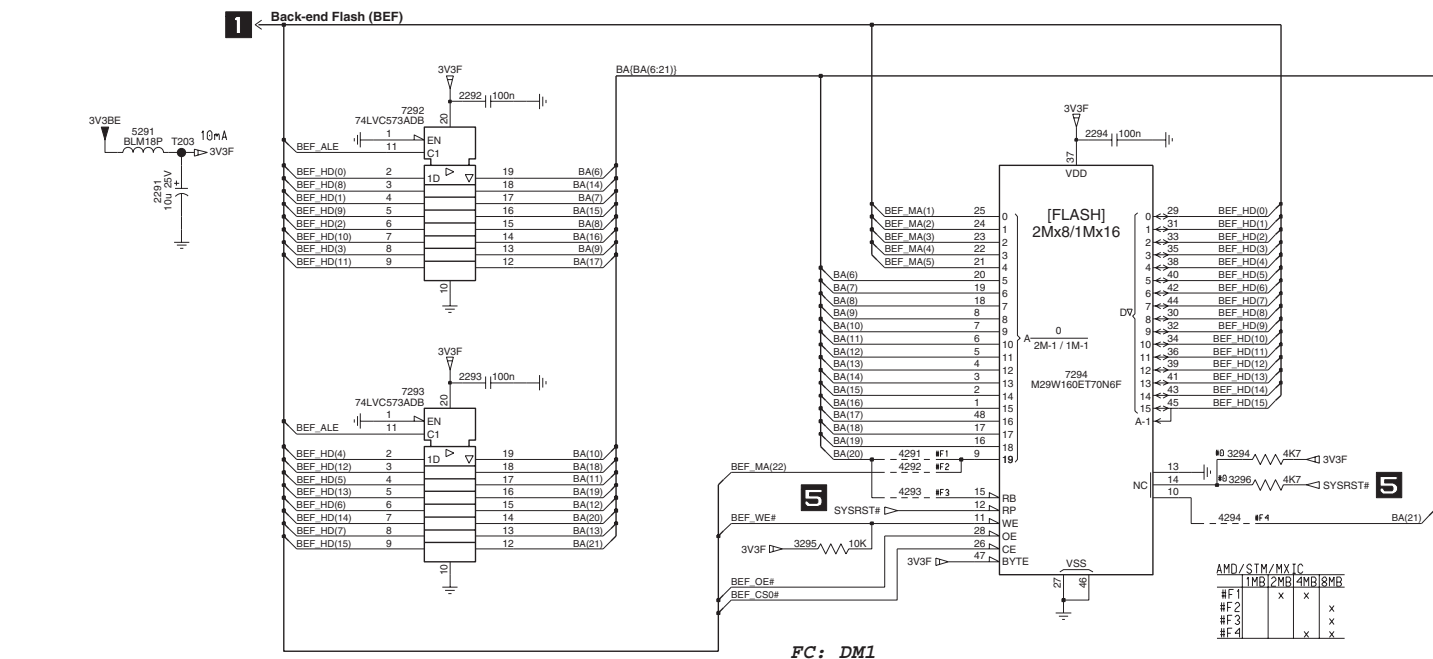
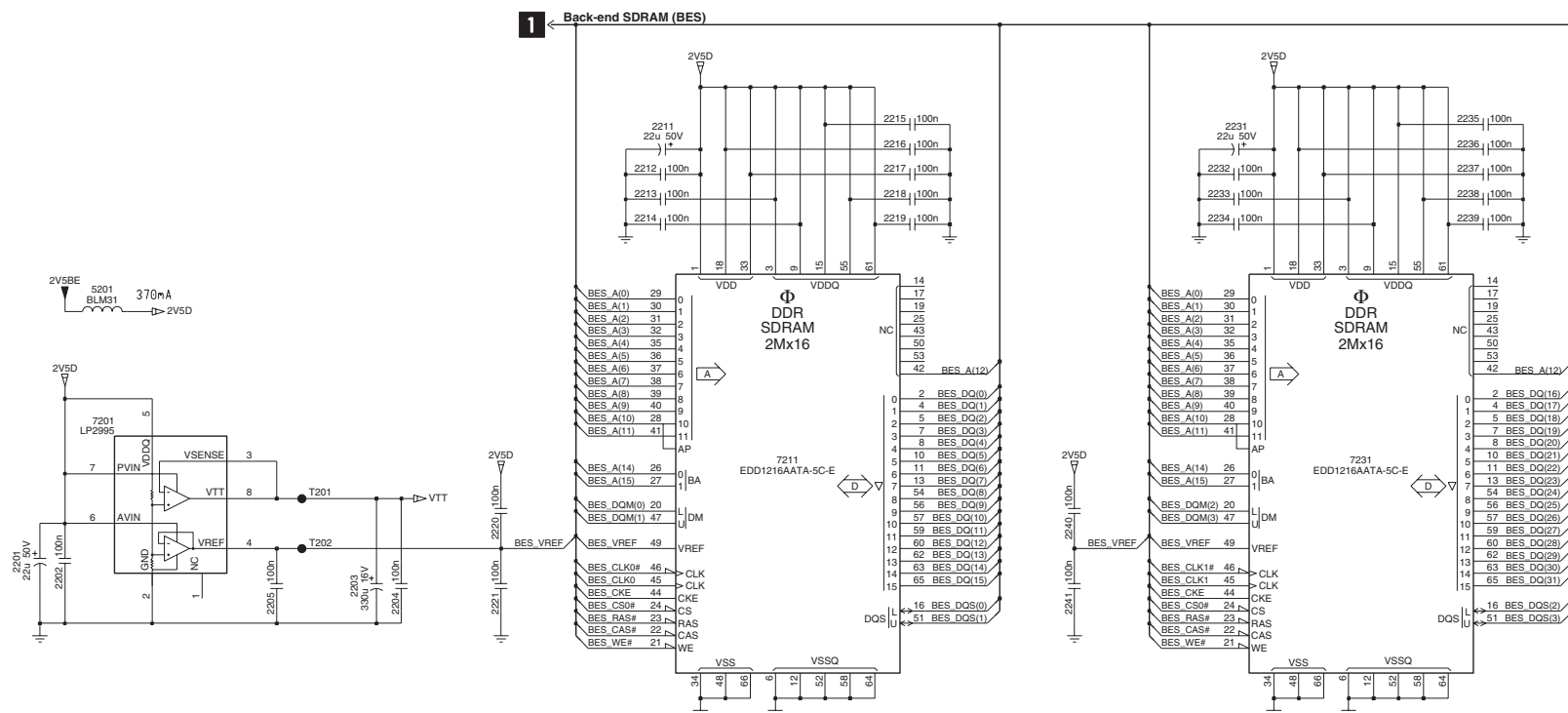
E

F

G

H

I



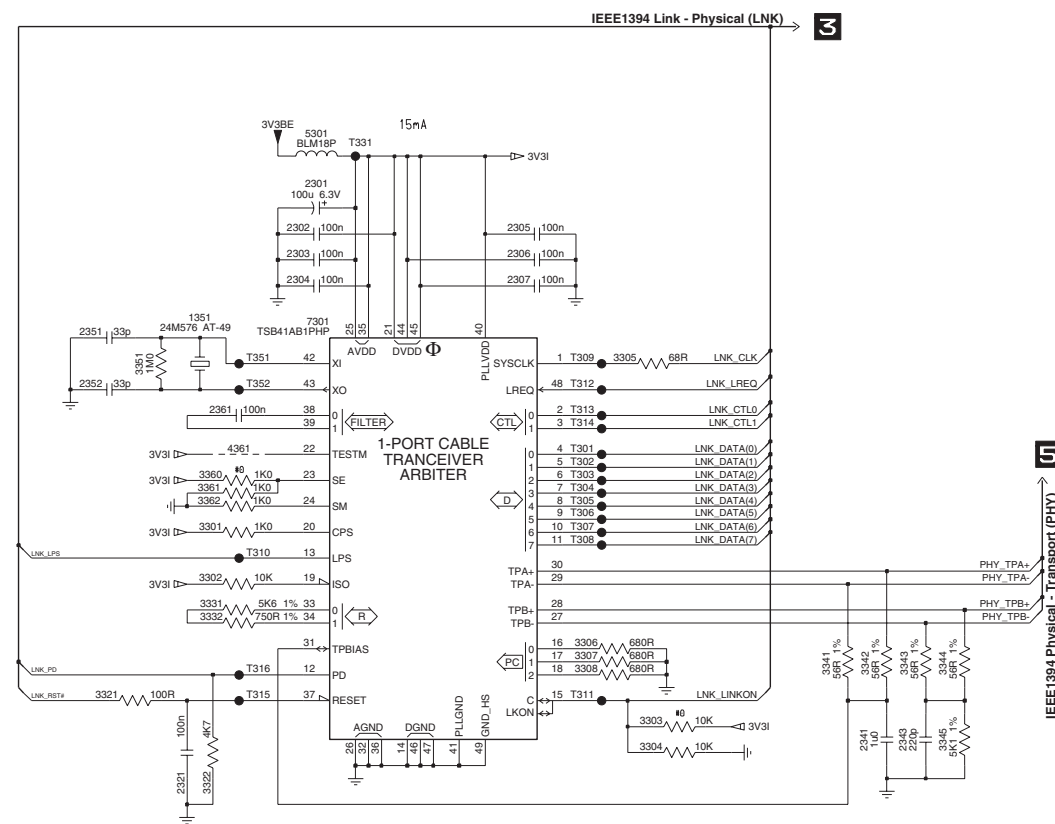
FC: DM2

FC: DM1

#0 Not used (provision)

2201 D2	3277-2 F12
2202 D2	3277-3 F12
2203 D4	3277-4 F12
2204 D4	3281-1 F12
2205 D3	3281-2 F12
2211 B5	3281-3 F12
2212 B5	3281-4 F12
2213 B5	3283 G12
2214 B5	3284 G12
2215 A7	3285 G12
2216 B7	3286 G12
2217 B7	3294 H8
2218 B7	3295 H8
2219 B7	3296 H8
2220 D4	4291 H7
2221 D4	4292 H7
2231 B9	4293 H7
2232 B9	4294 I8
2233 B9	5201 B2
2234 B9	5291 F2
2235 A10	7201 C2
2236 B10	7211 C6
2237 B10	7231 C9
2238 B10	7292 F4
2239 B10	7293 H4
2240 D8	7294 H8
2241 D8	T201 D3
2251 A13	T202 D3
2252 A13	T203 F3
2253 B13	
2254 B13	
2255 B13	
2256 B13	
2257 B13	
2258 B13	
2259 C13	
2260 C13	
2261 C13	
2262 C13	
2263 C13	
2264 C13	
2265 D13	
2266 D13	
2267 D13	
2268 D13	
2269 D13	
2270 E13	
2271 E13	
2272 E13	
2273 E13	
2274 E13	
2275 E13	
2276 F13	
2277 F13	
2278 F13	
2281 F13	
2282 F13	
2283 G13	
2284 G13	
2291 G2	
2292 F4	
2293 H4	
2294 F8	
3251-1 A12	
3251-2 A12	
3251-3 A12	
3251-4 A12	
3253-1 B12	
3253-2 B12	
3253-3 B12	
3253-4 B12	
3255-1 B12	
3255-2 B12	
3255-3 B12	
3255-4 B12	
3257-1 B12	
3257-2 B12	
3257-3 B12	
3257-4 B12	
3259-1 C12	
3259-2 C12	
3259-3 C12	
3259-4 C12	
3261-1 C12	
3261-2 C12	
3261-3 C12	
3261-4 C12	
3263-1 D12	
3263-2 C12	
3263-3 C12	
3263-4 C12	
3265-1 D12	
3265-2 D12	
3265-3 D12	
3265-4 D12	
3267-1 D12	
3267-2 D12	
3267-3 D12	
3267-4 D12	
3269-1 E12	
3269-2 E12	
3269-3 D12	
3269-4 D12	
3271-1 E12	
3271-2 E12	
3271-3 E12	
3271-4 E12	
3273-1 E12	
3273-2 E12	
3273-3 E12	
3273-4 E12	
3275-1 F12	
3275-2 F12	
3275-3 F12	
3275-4 E12	
3277-1 F12	

## PAINEL DIGITAL - CAMADA FÍSICA IEEE1394

**3** IEEE1394 Physical Layer

FC: ME0

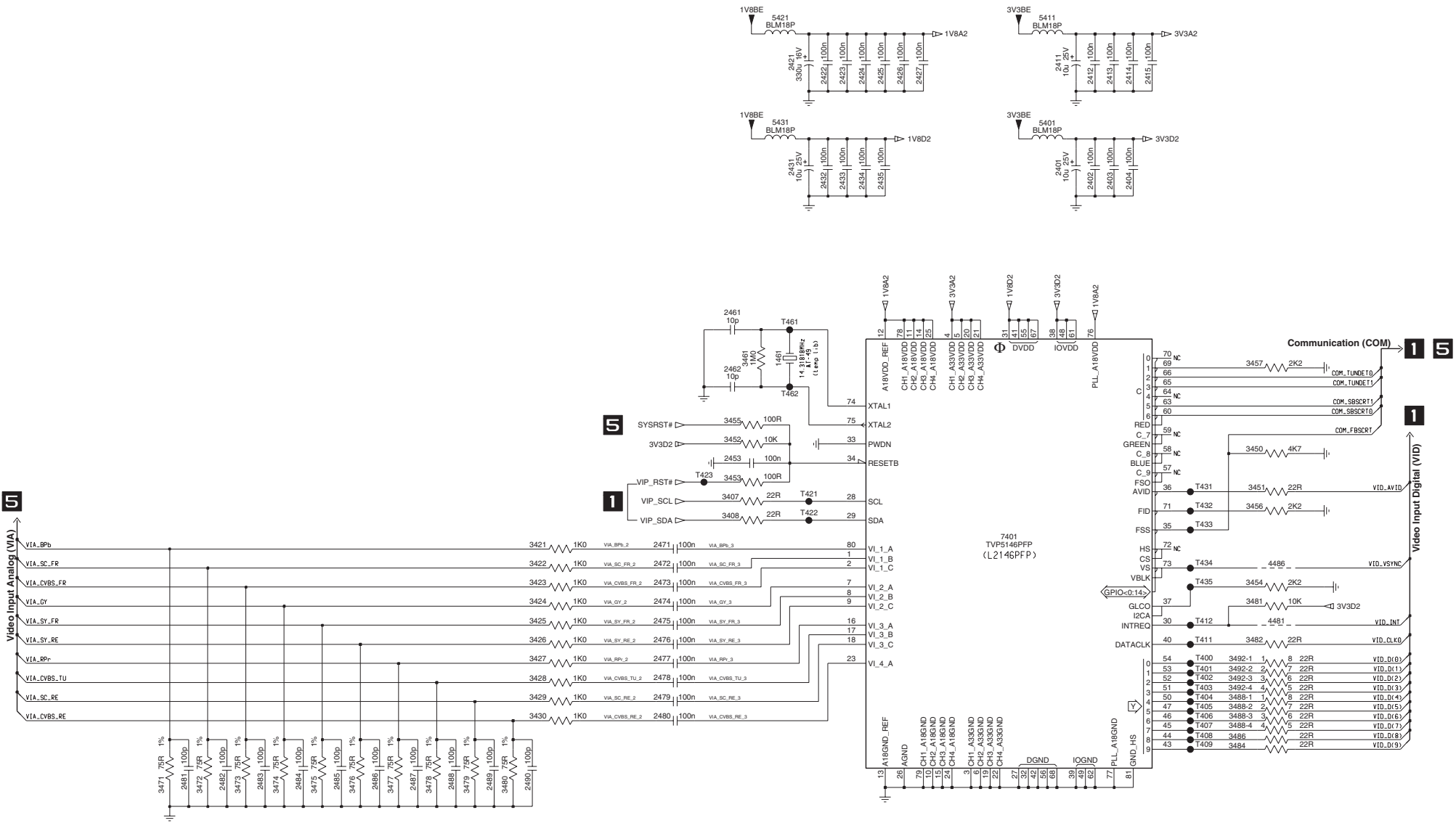
#0 Not used (provision)

1351 D5  
2301 D6  
2302 D6  
2303 D6  
2304 D6  
2305 D7  
2306 D7  
2307 D7  
2321 G5  
2341 G9  
2343 G9  
2351 D5  
2352 E5  
2361 E5  
3301 E5  
3302 F5  
3303 G8  
3304 G8  
3305 E8  
3306 F7  
3307 F7  
3308 F7  
3321 F5  
3322 G5  
3331 F5  
3332 F5  
3341 F9  
3342 F9  
3343 F9  
3344 F9  
3345 G9  
3351 E5  
3360 E5  
3361 E5  
3362 E5  
4361 E6  
5301 C6  
7301 D6  
T301 E7  
T302 E7  
T303 E7  
T304 E7  
T305 E7  
T306 E7  
T307 E7  
T308 F7  
T309 E7  
T310 F6  
T311 F7  
T312 E7  
T313 E7  
T314 E7  
T315 F6  
T316 F6  
T331 C6  
T351 E6  
T352 E6



PAINEL DIGITAL - PROCESSADOR DE ENTRADA DE VÍDEO

4 Video Input Processor

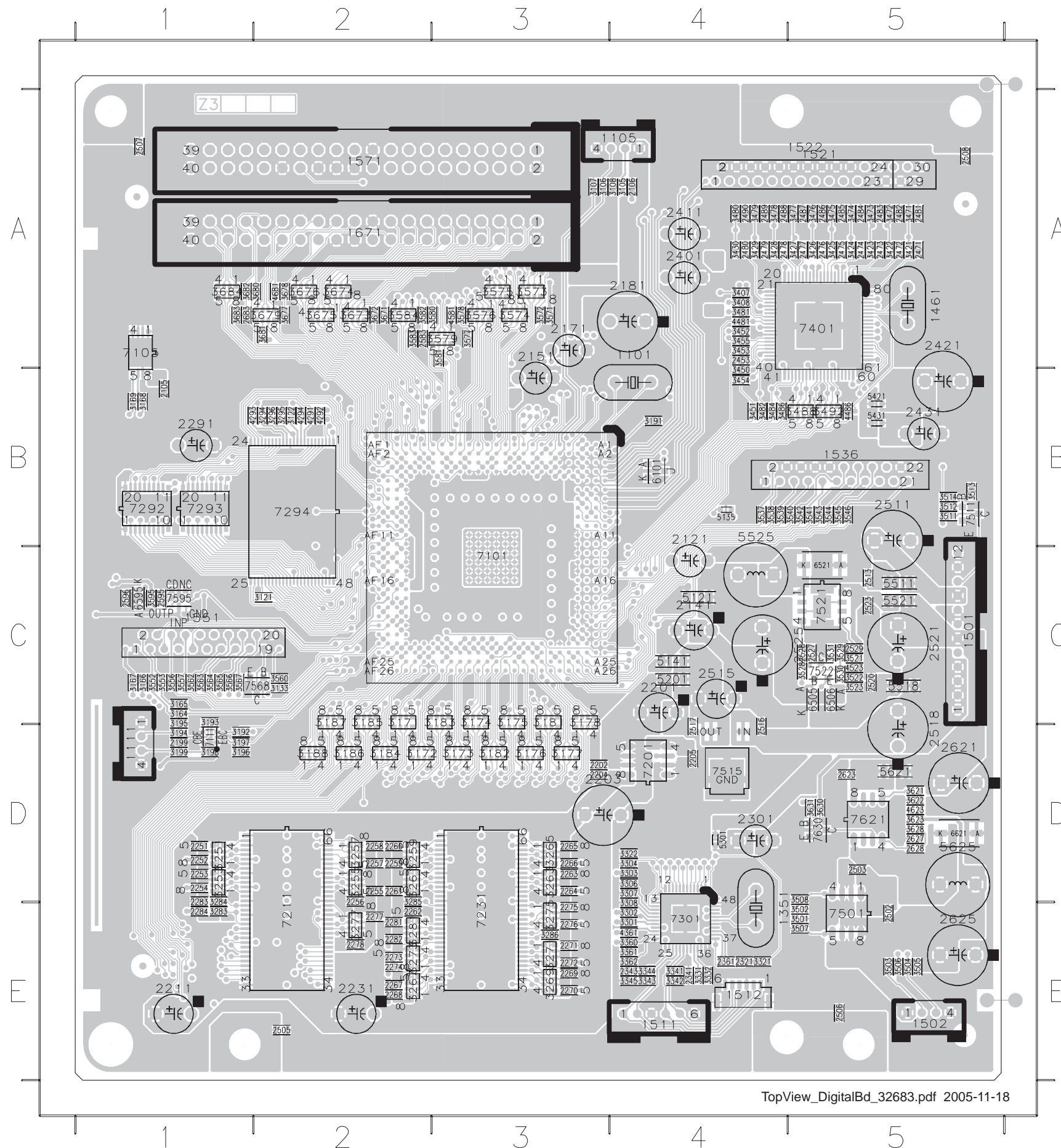


- 1461 D7  
2401 C9  
2402 C9  
2403 C9  
2404 C9  
2411 B9  
2412 B9  
2413 B9  
2414 B9  
2415 B10  
2421 B7  
2422 B7  
2423 B7  
2424 B7  
2425 B8  
2426 B8  
2427 B8  
2431 C7  
2432 C7  
2433 C7  
2434 C7  
2435 C8  
2453 E6  
2461 D6  
2462 D6  
2471 F6  
2472 F6  
2473 F6  
2474 F6  
2475 F6  
2476 F6  
2477 G6  
2478 G6  
2479 G6  
2480 G6  
2481 G2  
2482 G3  
2483 G3  
2484 G3  
2485 G4  
2486 G4  
2487 G4  
2488 G4  
2489 G5  
2490 G5  
3407 E6  
3408 E6  
3421 F5  
3422 F5  
3423 F5  
3424 F5  
3425 F5  
3426 F5  
3427 G5  
3428 G5  
3429 G5  
3430 G5  
3450 E10  
3451 E10  
3452 E6  
3453 E6  
3454 F10  
3455 E6  
3456 E10  
3457 D10  
3461 D7  
3471 G2  
3472 G2  
3473 G3  
3474 G3  
3475 G3  
3476 G4  
3477 G4  
3478 G4  
3479 G4  
3480 G5  
3481 F10  
3482 F10  
3484 G10  
3486 G10  
3488-1 G10  
3488-2 G10  
3488-3 G10  
3488-4 G10  
3492-1 G10  
3492-2 G10  
3492-3 G10  
3492-4 G10  
4481 F11  
4486 F11  
5401 C9  
5411 B9  
5421 B7  
5431 C7  
7401 F9  
T400 G10  
T401 G10  
T402 G10  
T403 G10  
T404 G10  
T405 G10  
T406 G10  
T407 G10  
T408 G10  
T409 G10  
T411 F10  
T412 F10  
T421 E7  
T422 E7  
T423 E6  
T431 E10  
T432 E10  
T433 F10  
T434 F10
- T435 F10  
T461 D7  
T462 E7

#0 Not used (provision)



### PAINEL DIGITAL - LAYOUT PARTE PRINCIPAL ( SUPERIOR)

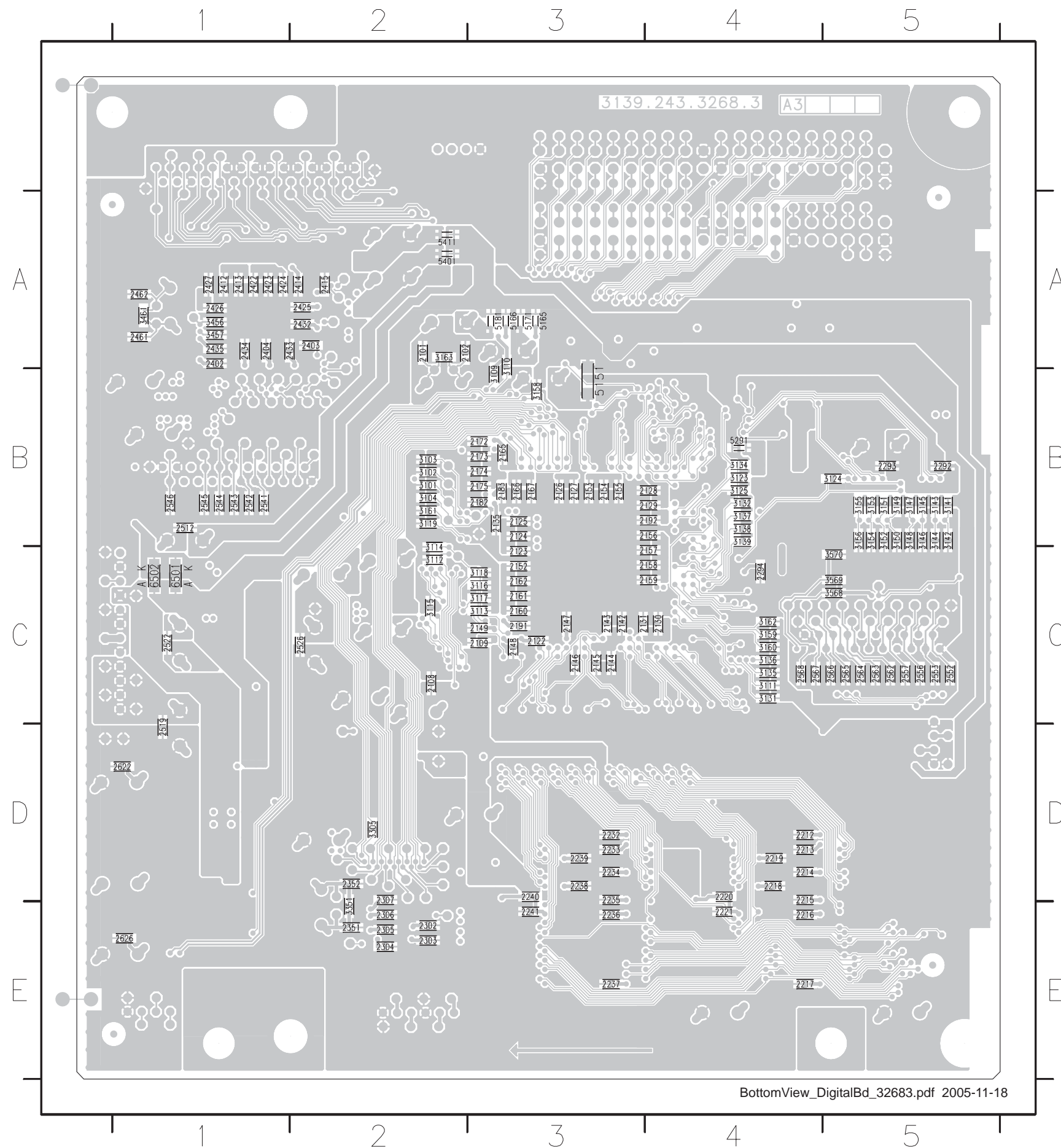


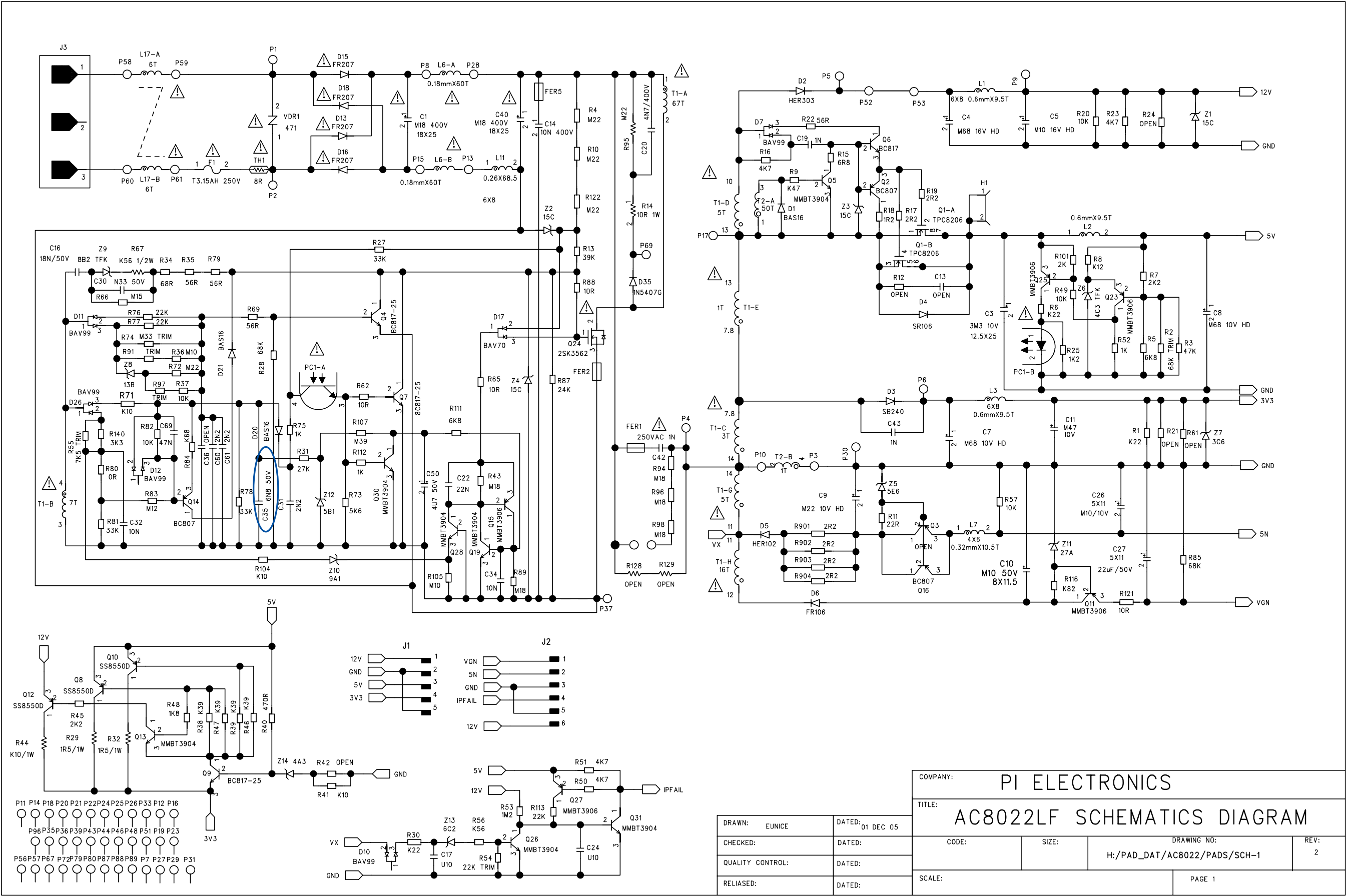
TopView\_DigitalBd\_32683.pdf 2005-11-18

[illegible]



### PAINEL DIGITAL- PARTE PRINCIPAL (INFERIOR)

[illegible]





## 8. Circuito e Descrições de IC

### 8.1 Painei PSU

#### 8.1.1 Geral

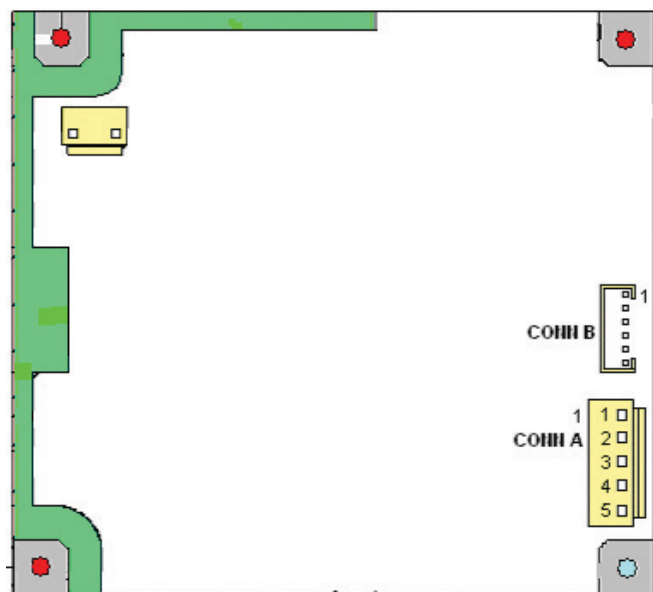


Figura 8-1 Layout do painel PSU

O painel PSU provém as seguintes conexões para o resto do aparelho:

- **Conector A:** Fonte/Sinal para o painel analógica con. 1401
- Serve como alimentação para o Painel Digital.

Pin no.	Supply / Signal	Remarks
1	12V	
2	GND	
3	5V	
4	3.3V	
5	GND	

- **Conector B:** Fonte/Sinal para Painel Analógico con. 1402
- Serve como 12VBE para o Painel Digital, **alimentado apenas** por acionamento das linhas Standby do transistor 7421 (Painel Analógico)

Pin no.	Supply / Signal	Remarks
1	VGN	
2	5N	
3	GND	
4	IP_FAIL	HIGH>4.0v = power good LOW<4.0v =power fail
5	GND	
6	12V	

△ O cabo elétrico deverá estar desconectado do aparelho antes da realização dos procedimentos mencionados abaixo:

A PSU é projetada com proteção de curto-circuito que irá desligar a fonte de alimentação. Quando isso acontecer, a tensão armazenada no capacitor C1 e C40 irá impedir que a fonte de alimentação ligue, consequentemente eles devem ser descarregados com uma chave de fenda com isolante de alta tensão, antes que a PSU funcione normalmente novamente.

**Nota:** Durante este processo de descarga dos capacitores, poderá ocorrer faíscas, o que é típico de alta tensão armazenada no capacitor C1 e C40.

## 8.2 Painel Frontal (Painel - Display + Chave)

### 8.2.1 Geral

O painel consiste das seguintes partes:

- Driver de Controle FIP
- Frontend (Áudio e Vídeo)
- VFD Gerador de tensão de aquecimento

### 8.2.2 Driver de Controle FIP (IC 7105: UPD16316GB)

O núcleo do Display Frontal + Teclado é o Driver de Controle FIP, isto liga uma fonte 5V e é responsável pelas seguintes funções:

- Interagir com o chip Domino no Painel Digital
- Avaliação da matriz teclado dentro do Painel Frontal
- Decodificar os comandos do controle remoto do receptor de infra vermelho
- Ativação e controle do display
- Ativação do Wake-Up Temporizador

Segue duas frequências de pulsos de disparo:

- 5MHz para operações normais
- 32.768KHz para tempo real no relógio

### 8.2.3 Interface com Domino chip

Este comunica-se com o Domino Host no painel digital via interface serial sincronizada 6-fios. O Host é sempre o mestre para gerar a comunicação clock com o Driver de Controle FIP sem se relacionar com a direção da transferência de dados.

### 8.2.4. Avaliação da matriz do teclado

A tecla matriz é usada no painel frontal. O slave  $\mu$ P faz o escaneamento da tecla com FIP9 - FIP24 (pino 23-26 e 29-40) como saída e KEY\_A-KEY\_C (pino 41-43) como entrada. Cada tecla é atribuída a um código de tecla baseado nas portas de entrada e saída, e o Driver de Controle FIP irá avaliar pelo código da tecla.

### 8.2.5. Receptor IR e avaliação de sinal.

O receptor IR no painel frontal contém um amplificador seletivamente controlado assim como um fotodiodo. O fotodiodo transforma a recepção da transmissão de infra vermelho para pulsos elétricos, os quais são amplificados e demodulados. Na saída do receptor IR, uma sequência de pulso com o nível TTL, que corresponde a curva envelope do comando IF do controle remoto pode ser medido. Esta sequência de pulso é alimentada no Driver de Controle FIP para processos posteriores via pino 13.

### 8.2.6. Display Florescente a vácuo [1203: HUV-08SS65T]

O VFS é totalmente controlado e dirigido pelo Driver de Controle FIP.

### 8.2.7. VFD Gerador de tensão de aquecimento

O circuito oscilador fornecido pela [5100, 2101, 2102 & 7100] fornece o transistor do sinal da onda do seno [7101, 7102 & 7103] para gerar 50% duty-cycle 48KHz AC formas de ondas para o filamento do VFD.

### 8.2.8. Ativação do temporizador Wake-up

Durante o modo Standby, o Driver de Controle FIP fornece um serviço de despertador (POWER\_CTL-linhas mudam para alto), então o Domino Host (no painel digital) inicia e pede pela razão do Wake-up.

## 8.3. Painel Analógico

### 8.3.1. Geral

A PCBA consiste das seguintes partes:

- Controle de ventilação
- Tuner frontend
- Áudio ADC/DAC

### 8.3.2. Controle de ventilação

O laser no OPU do driver é muito sensível as temperaturas. Por esta razão, um circuito de controle de ventilação [7802 & 7803] foi instalado no painel. O ventilador está ligado quando o aparelho está no modo ATIVO, e desligado quando a bandeja está aberta. Quando o aparelho está no modo Standby, o ventilador é desligado. O controle do ventilador vêm do painel digital.

### 8.3.3. Tuner Frontend [1100 : TMQZ2]

O painel analógico suporta 2 possíveis unidades de Tuner Frontend chamadas:

- 1101 - PAL BG, DK e I Broadcast System
- 1100 - NTSC-M Broadcast System

Contém uma entrada RF para conexão com antena e saída RF que fornece um RF loop through para conexão com TV. O Frontend (Tuner e IF-demodulador) são controlados por 12C (SCL\_5V- e SDA\_5V-) linhas providas pelo Domino Host no painel digital.

O processamento de vídeo completo é feito nesta unidade e a saída de vídeo (CVBS) é feita do pino [VIDEO\_OUT] via transistor pino 13 como CVBS\_TV-line para o circuito de vídeo I/O. O componente de áudio-IF SIF1 são feitos do pino [SIF\_OUT] pino 10 por demodulação pelo processador Multi-sound (MSP).

### Demodulador de áudio

A demodulação de áudio é feita pelo MSP3425 [7304], que também é totalmente controlado via barramento 12C pelo Domino Host. Os sinais de áudio são disponíveis no pino 30 e pino 31 e alimentados como AIA\_R\_MSP & AIA\_L\_MSP line para o áudio I/O para processamentos posteriores.

## 8.3.4 Roteador de áudio

## Audio IO NAFTA

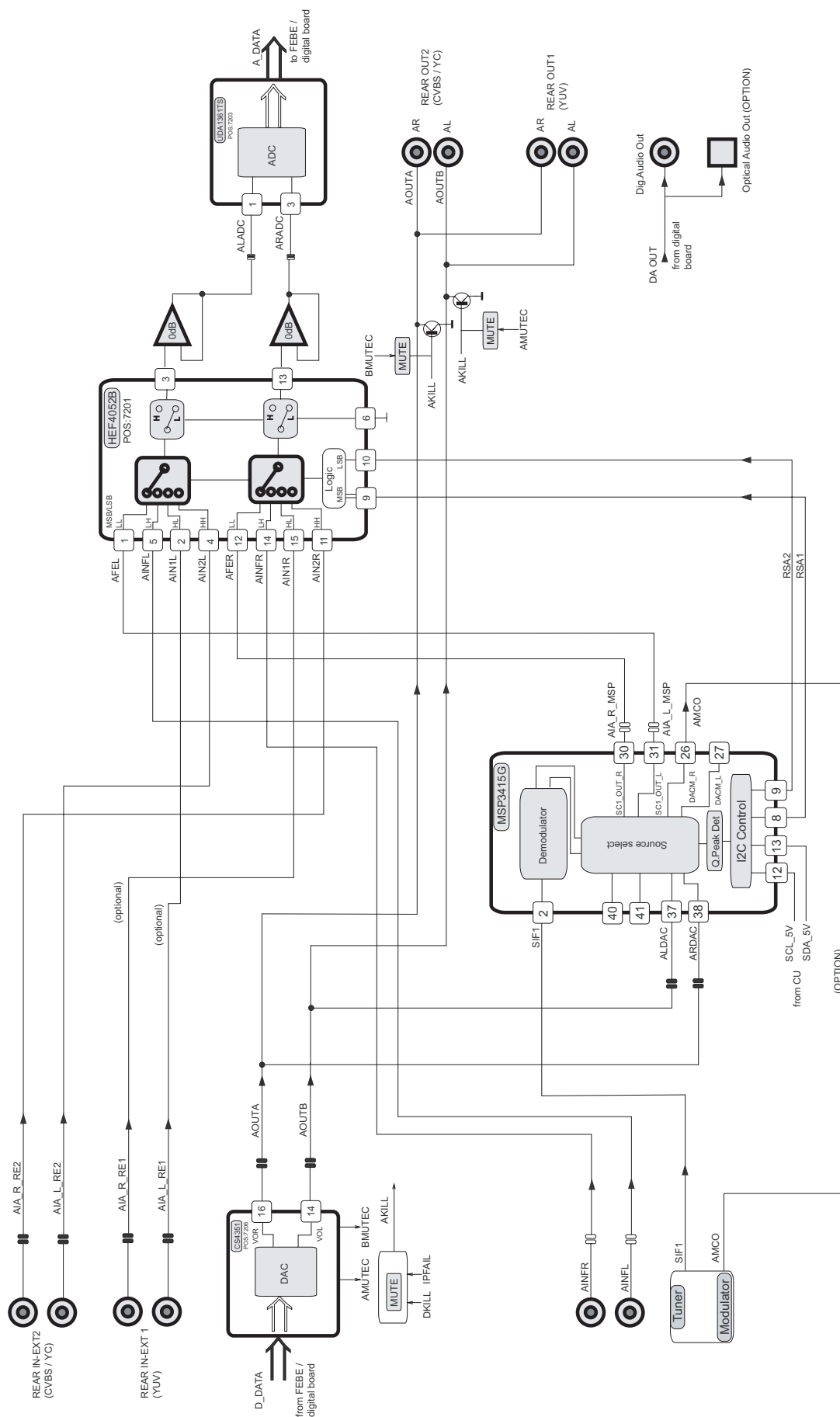


Figura 8- 2 Áudio Analógico IO

O processamento de áudio é sempre feito em stereo (isso significa separação entre os canais direito e esquerdo) e a troca completa é realizada usando HEF4052, que é um duplo multiplexer quatro por um. As linhas de entrada para o seletor [7301] são providas pelo MSP [7304] (AIA\_LMSP/AIA\_R\_MSP) ou entrada de cinch traseiro (Ext AIA\_R\_RE1/AIA\_L\_RE1) ou a entrada de cinch frontal (AIA\_RFR/AIA\_L)FR). O [7201] controlado via sinais RSA 1- e RSA 2- provém do MSP [7500]. O MSP atua como uma porta expansora do Driver de Controle FIP. O Op-Amp na saída [7201] é necessário para razões de desempenho e atua também como um driver. Os sinais selecionados ALADC\* e ARADC\* são diretamente alimentados pelo Áudio-ADC. Como existe também uma quinta entrada (DV-in), os correspondentes sinais de áudio (ALDAC\*/ARDAC\*) do painel digital são distribuídos via MSP [7304] e saída como AIA\_R\_FR/AIA\_L\_FR para seletor [7201]

#### a) Trajeto de gravação

A seleção completa de sinal de áudio para gravação é feita por HEF4052 [7201], que é um duplo multiplexer quatro por um. As linhas de entrada para o seletor [7301] são providas pelo MSP [7304] (AIA\_LMSP/AIA\_R\_MSP) ou entrada de cinch traseiro (Ext AIA\_R\_RE1/AIA\_L\_RE1) ou a entrada de cinch frontal (AIA\_RFR/AIA\_L)FR). O [7201] controlado via sinais RSA 1- e RSA 2- provém do MSP [7500]. O MSP atua como uma porta expansora do Driver de Controle FIP. O Op-Amp na saída [7201] é necessário para razões de desempenho e atua também como um driver. Os sinais selecionados ALADC\* e ARADC\* são diretamente alimentados pelo Áudio-ADC. Como existe também uma quinta entrada (DV-in), os correspondentes sinais de áudio (ALDAC\*/ARDAC\*) do painel digital são distribuídos via MSP [7304] e saída como AIA\_R\_FR/AIA\_L\_FR para seletor [7201]

#### b) Saída de cinch

O Multiplexer (HEF7201) seleciona sinais de poucas fonte, chamadas Cinch Frontal de Entrada (AIA\_R\_RE1/AIA\_L\_RE1) Cinch Frontal de Entrada (AIA\_R\_FR/AIA\_L\_FR) e MSP (AIA\_L\_MSP/AIA\_R\_MSP). O multiplexer é controlado via sinais RSA 1 e RSA 2 vindos do MSP.

#### c) Trajeto de saída digital de áudio.

Adicionado à saída analógica o aparelho é também equipado com saída de áudio digital via plug cinch [1131]. O sinal é gerado no painel digital e distribuído via cabo de interface de áudio e conector [1600] para o painel analógico. Aqui o DAOUT-line primeiro passa por um inversor 6-fold [7700] usado como um driver e para razões de performance (redução de ruído, jitter, etc.).

### 8.3.5. Audio ADC/DAC

A conversão de sinais analógicos de áudio (ALADC\*/ARADC\*) do seletor de gravação [7201] é feita via AID\_DAT [7203]. Este IC pode processar sinais de entrada até 2Vrms utilizando resistores externos em série com os pinos de entrada. Todos os sinais de clock exigidos são gerados no painel digital e somente os dados de áudio (AID\_DAT) são distribuídos do analógico para o painel digital para processos posteriores.

A transformação de áudio digital para analógico é feita por CS4351 [7206]. Todos os sinais clock necessários provém do painel digital e dados de áudio digital, (D\_DATA0-line) são convertidos em sinais analógicos (pino 15 e 18). Os sinais de saída da parte áudio DAC (AOUTA/AOUTB) são diretamente distribuídas para os soquetes cinch traseiros. Para evitar plops e outros ruídos audíveis, existe na saída um estágio mute implementado para cada canal. A ativação da função mute é feita via AMUTEC e BMUTEC (mute digital de silêncio) do áudio DAC e também a linha AKILL que é uma combinação de D\_KILL do painel digital e POWER\_FAIL da fonte de alimentação.

\*Nota: ALADC refere-se ao VINL do IC7203  
ARADC refere-se ao VINL do IC7203

## 8.3.6 Roteamento de vídeo

## Video IO NAFTA

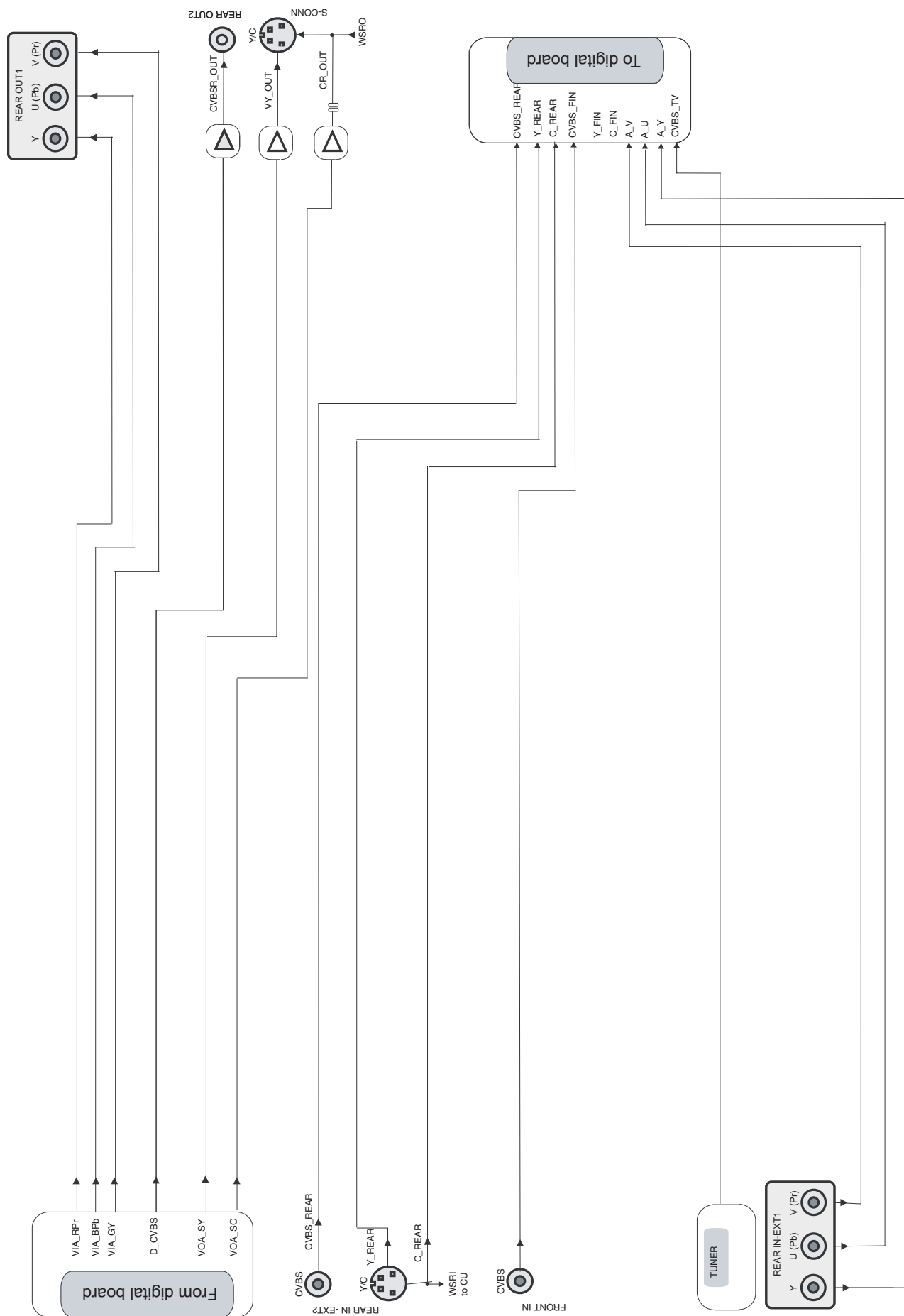


Figura 8-3 Vídeo Analógico IO



A mudança das variadas entradas de sinais de vídeo são feitas pelo Processador de Entrada de Vídeo no painel digital. Estes sinais são diretamente distribuídos para o painel digital pelo conector 1122 no painel analógico.

#### 8.4. Painel Analógico

O painel digital é baseado na alta integração LSI 'Domino' chip BGA (Ball Grid Array), DMN-8652. Este IC contém 2 chips internos ATAPI controlado e integrado a um codificador de vídeo, e fornece suporte interno para não-simultâneo progressivo e interlaçada

saída de vídeo. Um função camada de link 1394 também é integrada, exigindo somente um dispositivo externo simples da camada física. O painel codifica e multiplexa vídeo analógicos e descompressa áudio digital (I2S) em corrente MPEG2. Esta corrente MPEG2 é formatada para gravação pelo DVD+RW. Na reprodução, o painel irá decodificar o vídeo MPEG2 em vídeo analógico. Adicionando, uma corrente DV pode ser recebida via IEEE 1394 (i-link), e transformada para o formato MPEG2.

##### 8.4.1 Modo de gravação

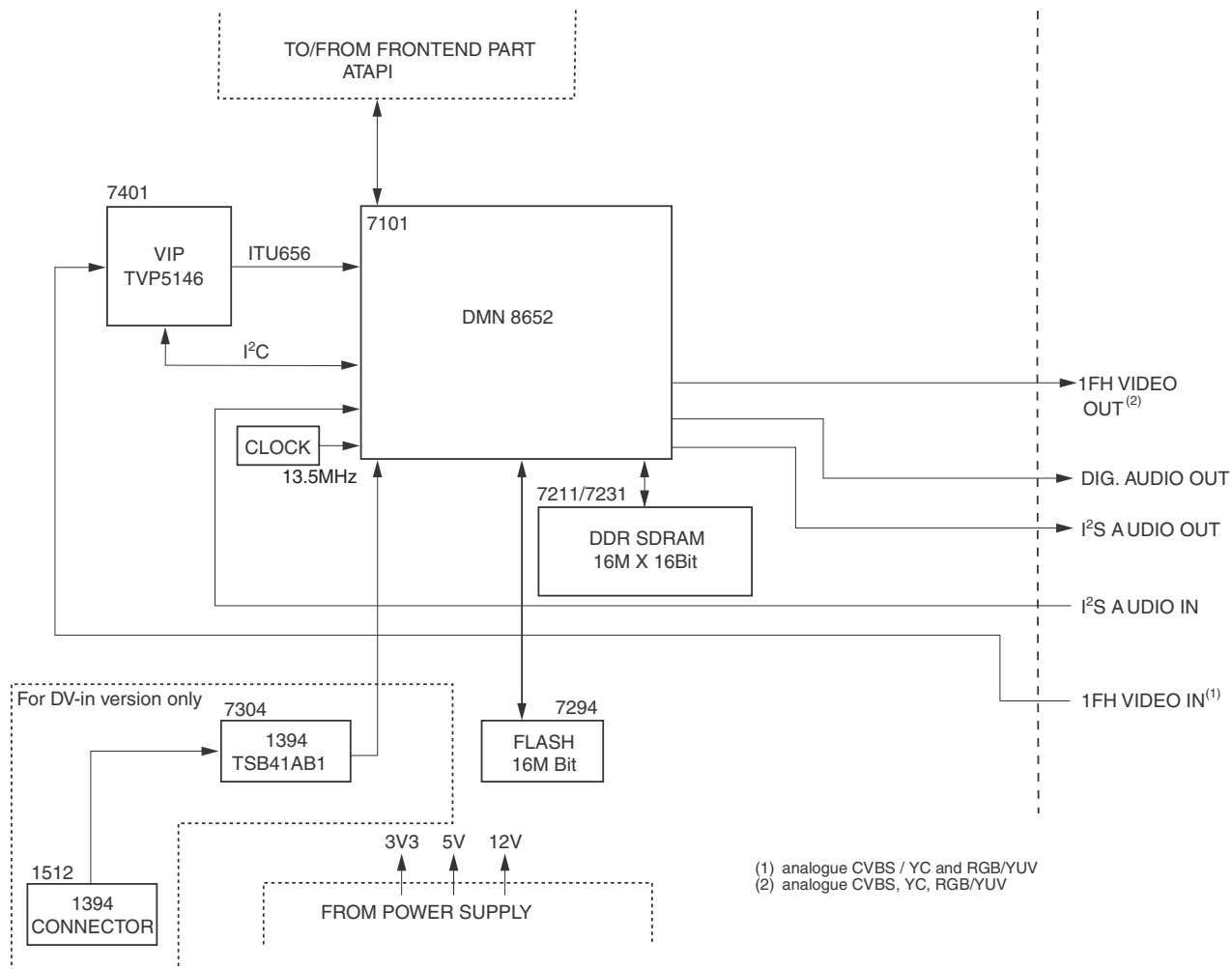


Figura 8-4 Bloco Domínio

### Parte Vídeo

Os sinais de entrada de vídeo digital do DV no painel frontal são distribuídos do conector 1521 via IEEE 1394 PHY IC [7301] para o chip Domino [7101]

O Processador de Entrada de Vídeo codifica o vídeo analógico para a corrente de vídeo digital (formato CCIR656). A corrente de saída, chamada VID\_D (9 : 0), é então distribuída para o chip Domino. Este IC codifica e decodifica a corrente de vídeo digital em/para o formato MPEG2.

### Parte Áudio

Áudio I2S é enviada à painel analógico para o chip Domino via conector 1536.

O chip Domino comprime o dado de áudio I2S em uma corrente de áudio MPEG1-L2/AC3.

### Front-end I2S

O chip Domino interage diretamente com o motor básico via ATAPI conector 1571.

Isto armazena as correntes de dados que vem (ou vão) do motor básico.

No chip Domino, a corrente de vídeo MPEG2 e a corrente de áudio AC3 são enviadas para o motor básico para gravação por barramento ATAPI.

### 8.4.2. Modo Reprodução

Durante a reprodução, os dados do motor básico vão diretamente para o chip Domino via interface ATAPI. O chip Domino tem as seguintes saídas:

- Vídeo analógico CVBS, YC e saídas RGB no conector 1521
- Áudio I2S (formato PCM) no conector 1536
- Áudio SPDIF (saída digital de áudio) no conector 1536

### 8.4.3. Interface Motor Básico

O painel digital está equipada com um barramento IDE (ATAPI) para conexão com o motor básico.

### 8.4.4 Distribuição de clock

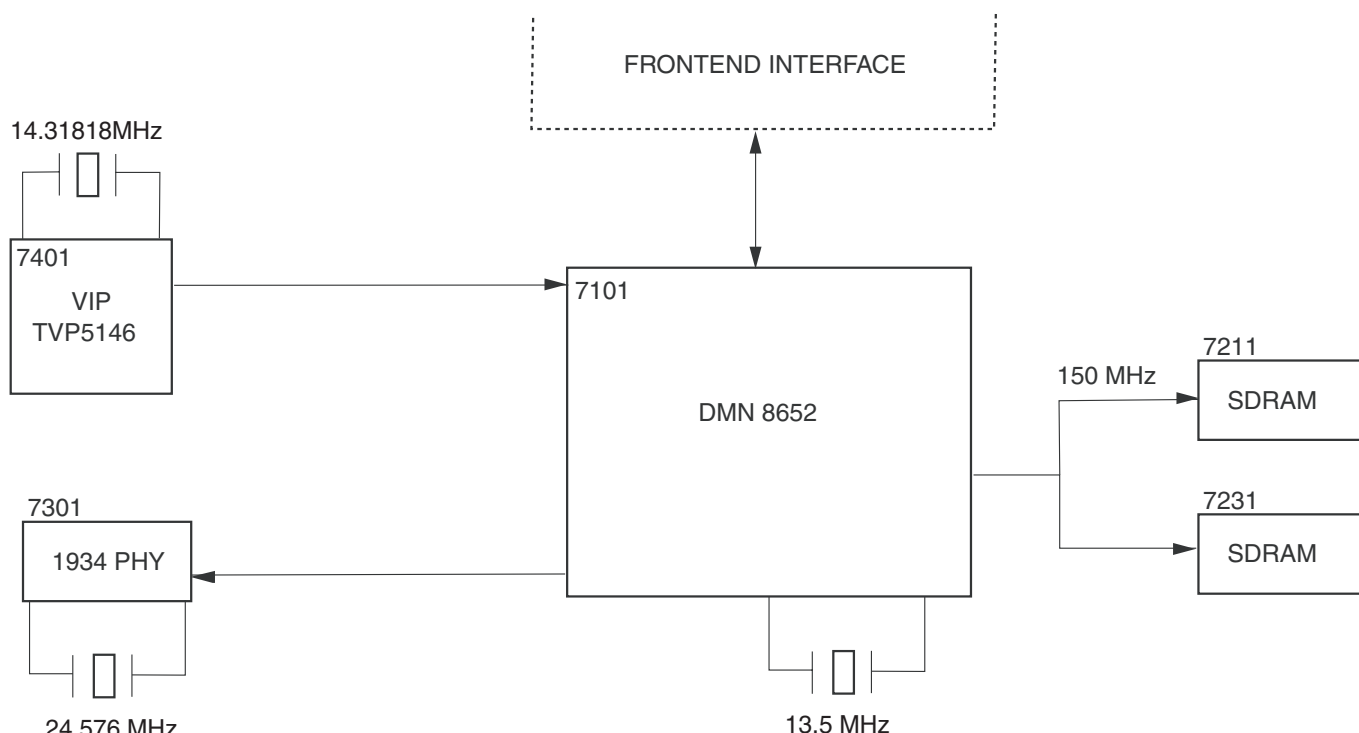


Figura 8-5 Dominio\_Clock

O chip Domino tem um complexo sistema, que é necessário para suportar a execução do processo nas diferentes frequências assim como na decodificação de vídeo, decodificação de áudio ou dispositivos periféricos I/O etc. Para assegurar uma iniciação sincronizada de todos os registros e o estado das máquinas, todos os PLLs são trocados para suas frequências padrão 27MHz. Então quando a unidade de controle carregada foi corretamente inicializada e uma vez capturou todos os parâmetros carregados, ajusta os PLLs as suas frequências funcionais. Graças a um mecanismo de bloqueio do clock, o chaveamento da frequência é grátis.

### Sistema de Clocks:

- DMN-8652 (7101, pino A1 e A2) : 13.5MHz fornecidos pelo x'tal 1101
- DMN-8652 1394-LINK (7101, pino K1) : 49.152MHz fornecidos pelo 1394-PHY
- TVP5146 (7401, pino 74 e 75) : 14.31818MHz fornecidos pelo x'tal 1461
- SDRAM (7211 e 7231, pino 45 e 46) : 150MHz fornecidos pelo DMN-8652
- TSB41AB1PHP IEEE 1394 PHY IC (7301, pino 42 e 43) : 24.576MHz fornecidos pelo x'tal 1351

#### 8.4.5. Fonte de alimentação

O painel digital não tem energia no modo Standby. O sinal de controle STBY no painel digital habilita a PSU e a energia no painel digital.

- STBY = Baixo: o painel digital está desligada no modo Standby.
- STBY = Alto: a fonte de alimentação para o painel digital está habilitada.

O 3V3, +5V +12V vem da PSU, enquanto as seguintes tensões são geradas no painel digital:

- O núcleo da tensão 1.8V é gerado no painel por um regulador de tensão baixo 2A [7521]

- A fonte 2.5V da SDRAM é gerada por um regulador linear de saída baixa ultra rápida[7515]
- A fonte 1.25V DDR é gerada pelo regulador [7201]

#### 8.4.6. Memória

FLASH IC7294 : esta memória contém os parâmetros de carga e aplicações firmware.

#### 8.4.7 Reset

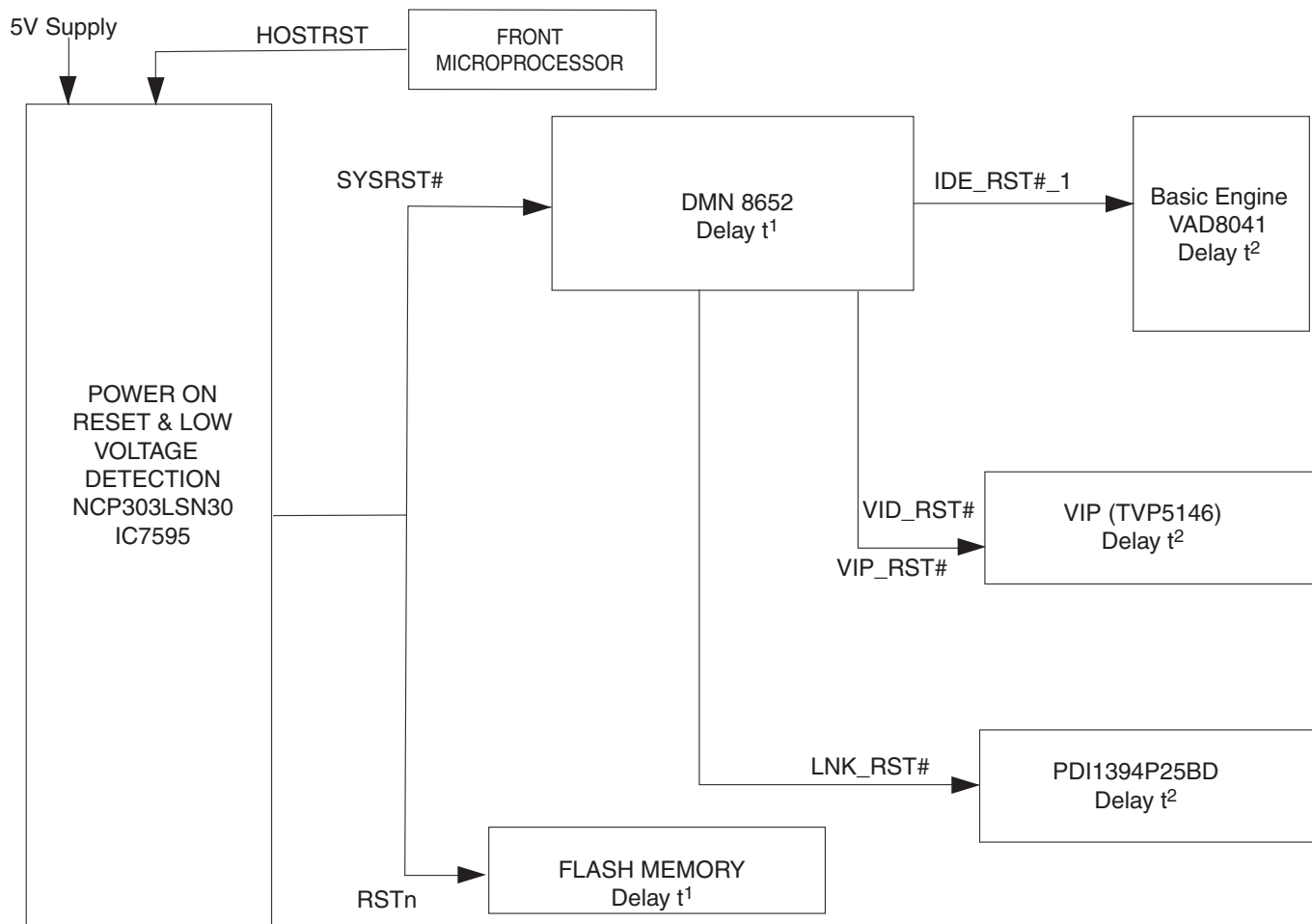


Figura 8-6 Dominio\_Reset

#### Conceito Reset no painel digital

O resto do circuito [7595] cuida para que dispositivos diferentes no painel digital seja reinicializado na ordem correta. A energia no circuito reset fornece os seguintes resets (delay  $\tau_1$ ):

- SYS\_RST# para o chip Domino [7101] e memória FLASH [7294]

O chip Domino então gera outros sinais de reset (delay  $\tau_2$ ) via seus GPIOs:

- VID\_RST# para resetar o VIP [7401]
- LINK\_RST# para resetar o IEEE 1394 DV PHY IC [7301]
- IDE\_RST#\_1 para resetar o Motor básico

#### 8.4.8. Conector I/O

##### Conector Áudio IO (item 1563)

O conector de áudio IN/OUT (AIO) é utilizado para intercambiar os sinais de áudio digital entre os painéis analógico e digital.

##### Conector Vídeo IO (item 1521)

O conector de vídeo IN/OUT (VIO) é utilizado para intercambiar os sinais de vídeo análogos entre os painéis analógico e digital.

## 8.5. Descrição do IC

### 8.5.1. Painei Analógico

#### IC7304 - Família Processador de Áudio Multistand

#### Diagrama em bloco

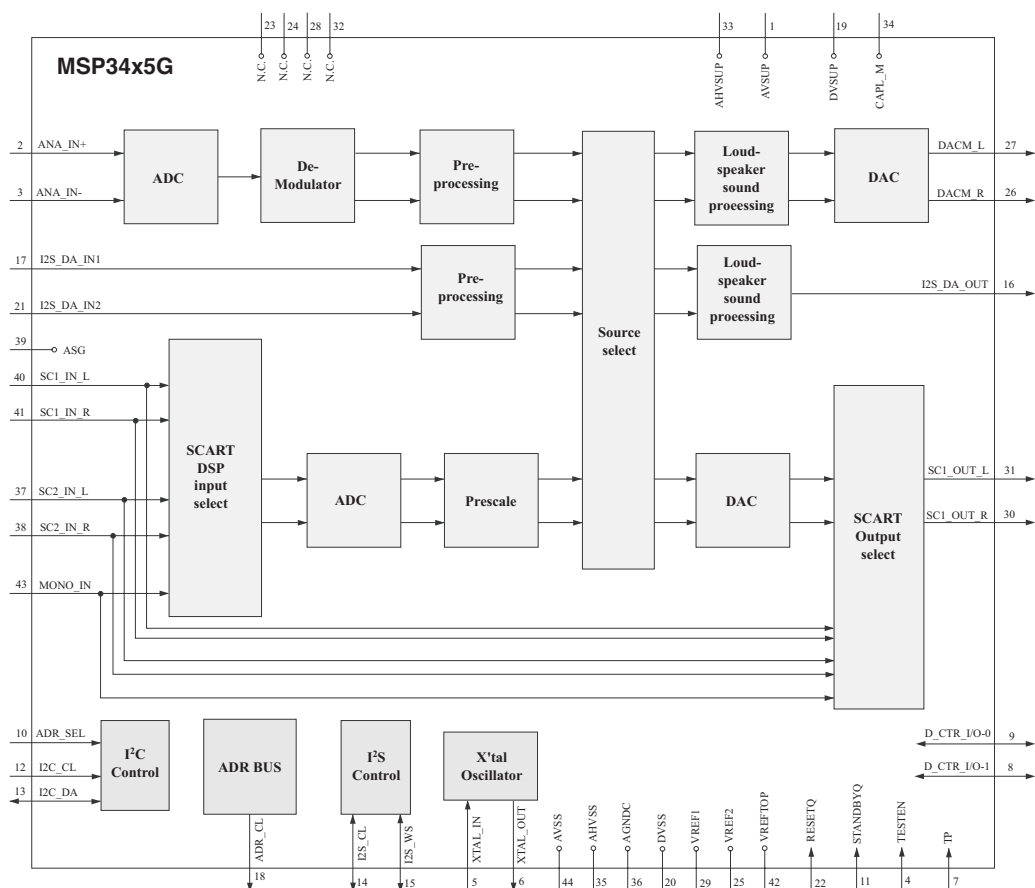
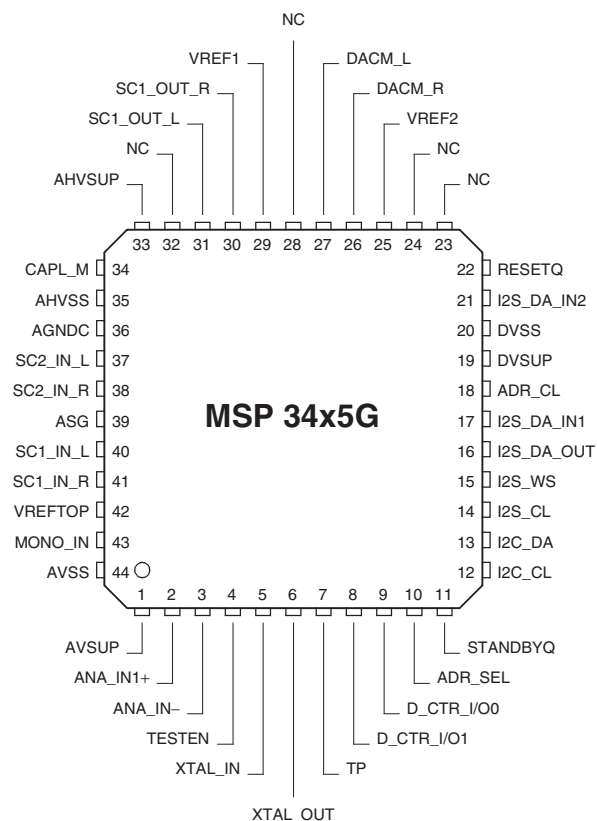


Figura 8-7



## CONFIGURAÇÃO DO PINO



PMQFP44 package

Figura 8-8

## IC7206 - 192KHz Stereo- DAC com 2vrms line-out

## DIAGRAMA EM BLOCO

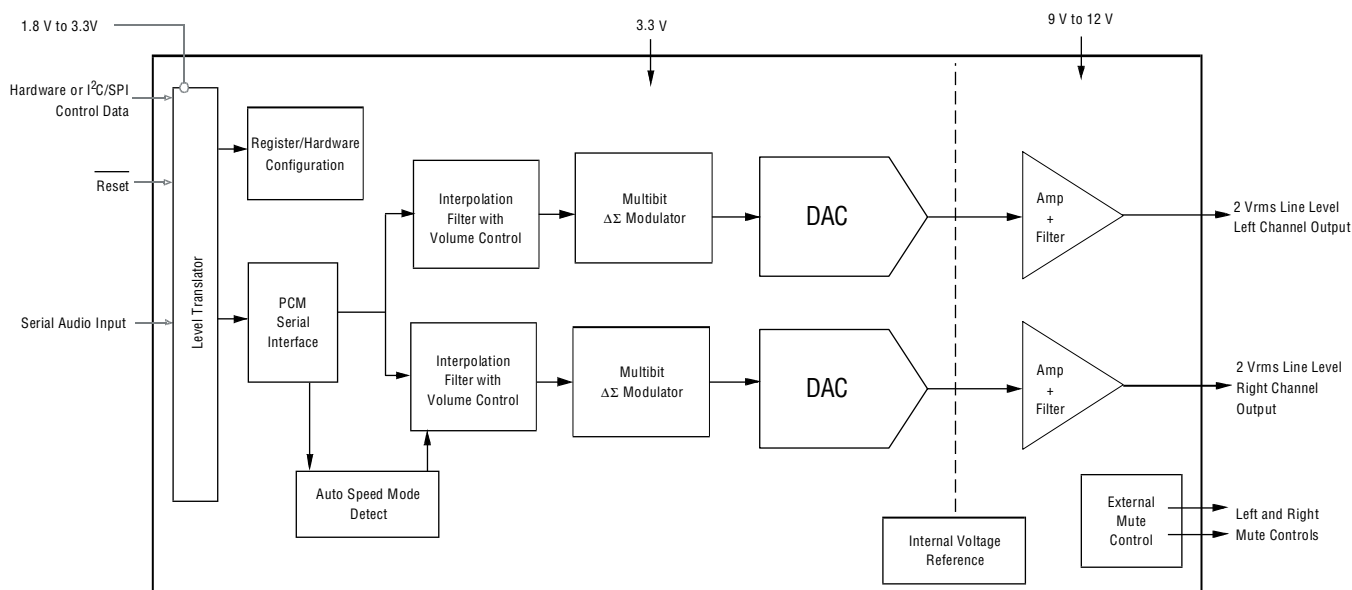
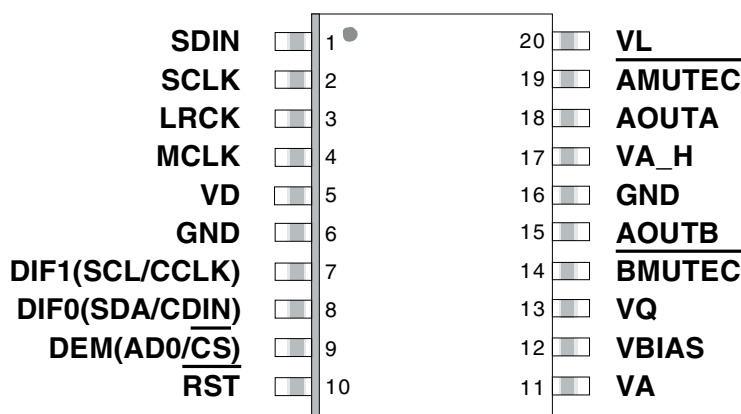


Figura 8-9

## DESCRIÇÃO E CONFIGURAÇÃO DO PINO



Pin Name	#	Pin Description
SDIN	1	<b>Serial Audio Data Input</b> ( <i>Input</i> ) - Input for two's complement serial audio data.
SCLK	2	<b>Serial Clock</b> ( <i>Input</i> ) - Serial clock for the serial audio interface.
LRCK	3	<b>Left / Right Clock</b> ( <i>Input</i> ) - Determines which channel, Left or Right, is currently active on the serial audio data line.
MCLK	4	<b>Master Clock</b> ( <i>Input</i> ) - Clock source for the delta-sigma modulator and digital filters.
VD	5	<b>Digital Power</b> ( <i>Input</i> ) - Positive power supply for the digital section.
GND	6	<b>Ground</b> ( <i>Input</i> ) - Ground reference.
	16	
$\overline{\text{RST}}$	10	<b>Reset</b> ( <i>Input</i> ) - Powers down device and resets all internal registers to their default settings when enabled.
VA	11	<b>Low Voltage Analog Power</b> ( <i>Input</i> ) - Positive power supply for the analog section.
VBIAS	12	<b>Positive Voltage Reference</b> ( <i>Output</i> ) - Positive reference voltage for the internal DAC.
VQ	13	<b>Quiescent Voltage</b> ( <i>Output</i> ) - Filter connection for internal quiescent voltage.
VA_H	17	<b>High Voltage Analog Power</b> ( <i>Input</i> ) - Positive power supply for the analog section.
VL	20	<b>Serial Audio Interface Power</b> ( <i>Input</i> ) - Positive power for the serial audio interface
$\overline{\text{BMUTEC}}$	14	<b>Mute Control</b> ( <i>Output</i> ) - Control signal for optional mute circuit.
$\overline{\text{AMUTEC}}$	19	
AOUTB	15	<b>Analog Outputs</b> ( <i>Output</i> ) - The full scale analog line output level is specified in the <i>Analog Characteristics</i> table.
AOUTA	18	
<b>Control Port Definitions</b>		
SCL/CCLK	7	<b>Serial Control Port Clock</b> ( <i>Input</i> ) - Serial clock for the control port interface.
SDA/CDIN	8	<b>Serial Control Data</b> ( <i>Input/Output</i> ) - Input/Output for I <sup>2</sup> C data. Input for SPI data.
AD0/ $\overline{\text{CS}}$	9	<b>Address Bit 0 / Chip Select</b> ( <i>Input</i> ) - Chip address bit in I <sup>2</sup> C Mode. Control Port enable in SPI mode.
<b>Stand-Alone Definitions</b>		
DIF0	8	<b>Digital Interface Format</b> ( <i>Input</i> ) - Defines the required relationship between the Left Right Clock, Serial Clock, and Serial Audio Data.
DIF1	7	
DEM	9	<b>De-emphasis</b> ( <i>Input</i> ) - Selects the standard 15μs/50μs digital de-emphasis filter response for 44.1 kHz sample rates

## IC7203 - 96KHz Amostragem de 24-bit stereo audio ADC

## DIAGRAMA EM BLOCO

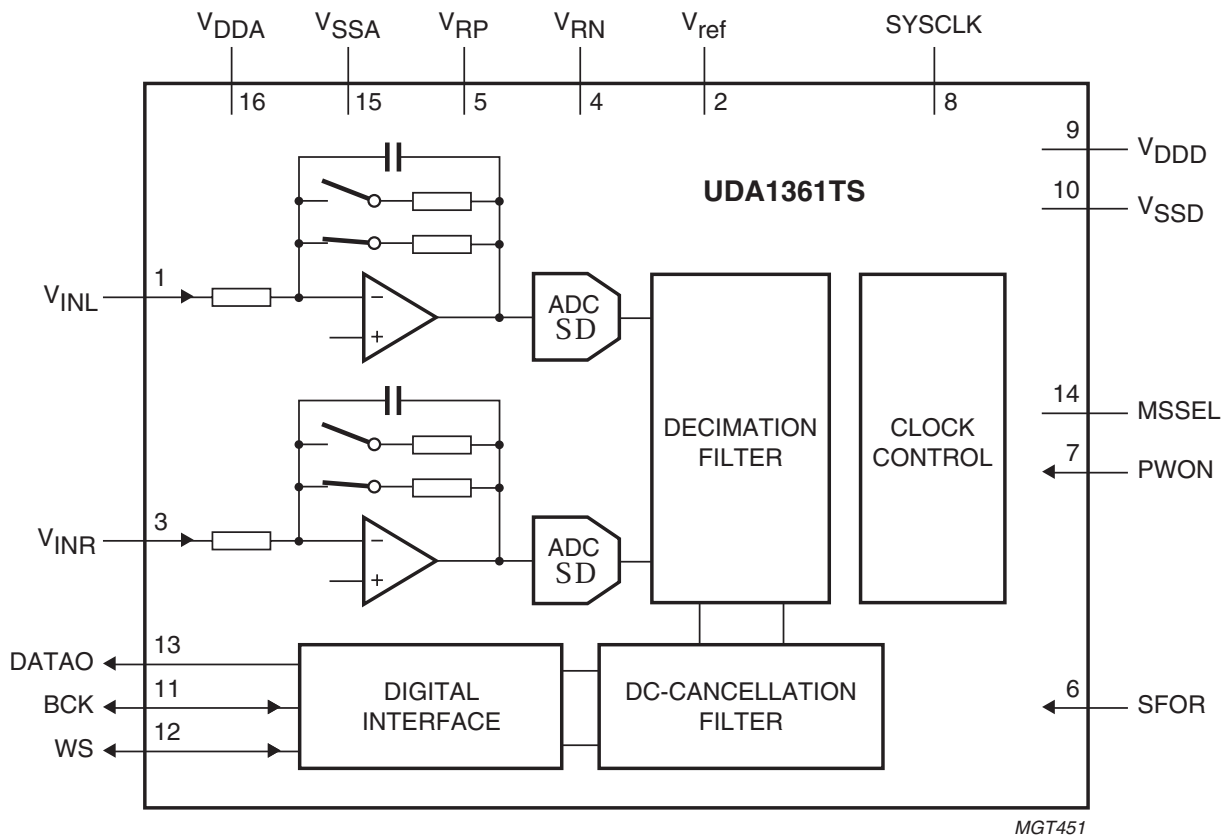
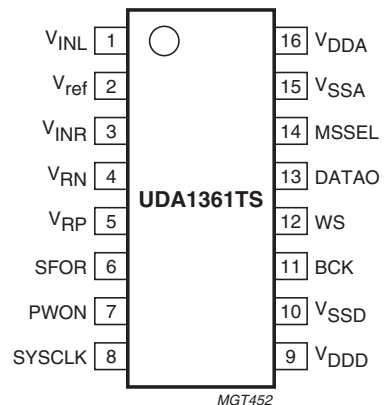


Figura 8-10

## DESCRIÇÃO E CONFIGURAÇÃO DO PINO

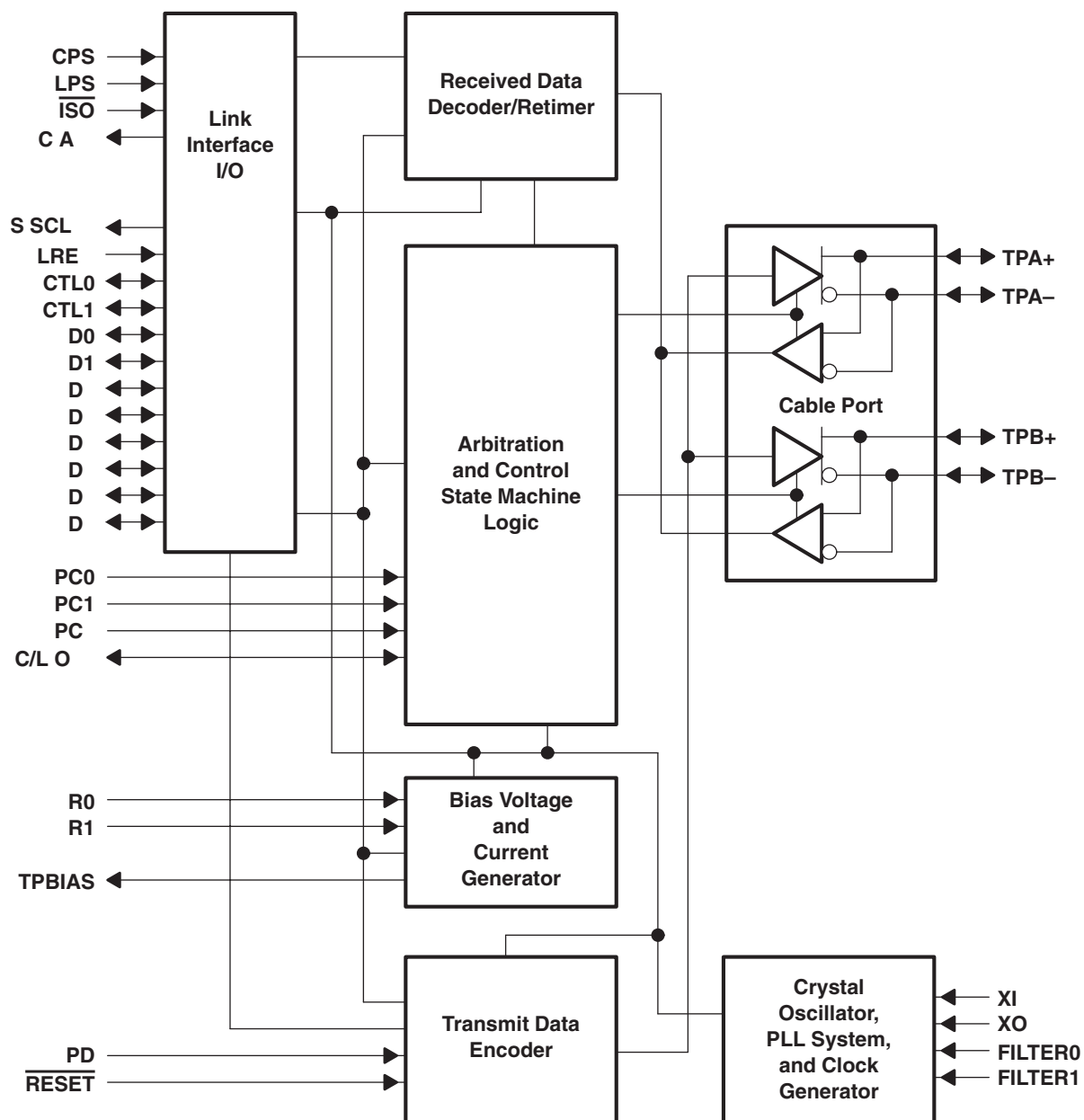
SYMBOL	PIN	DESCRIPTION
$V_{INL}$	1	left channel input
$V_{ref}$	2	reference voltage
$V_{INR}$	3	right channel input
$V_{RN}$	4	negative reference voltage
$V_{RP}$	5	positive reference voltage
$SFOR$	6	data format selection input
$PWON$	7	power control input
$SYSCLK$	8	system clock 256, 384, 512 or 768f <sub>s</sub>
$V_{DDD}$	9	digital supply voltage
$V_{SSD}$	10	digital ground
BCK	11	bit clock input/output
WS	12	word select input/output
DATAO	13	data output
$MSSEL$	14	master/slave select
$V_{SSA}$	15	analog ground
$V_{DDA}$	16	analog supply voltage



## 8.5.2 Painei Digital

IC7301 - IEEE 1394a-2000 um cabo Transceiver/Arbiter

## DIAGRAMA EM BLOCO



Saída CNA está apenas disponível no pino 64 PAP

Figura 8-11

CONFIGURAÇÃO DOS PINO

DIAGRAMA TERMINAL PHP

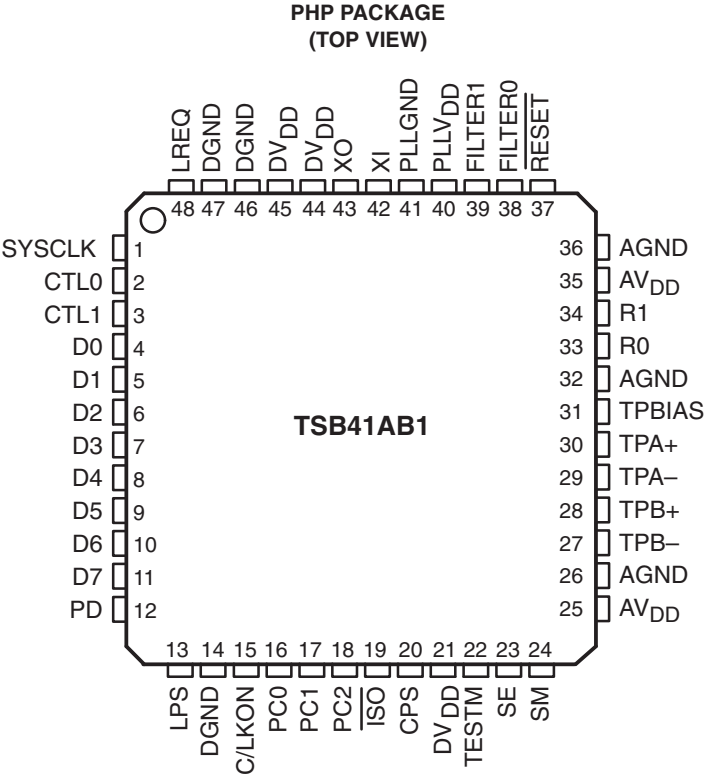


Figura 8-12



## DESCRIÇÃO DO PINO

TERMINAL		TYPE	I/O	DESCRIPTION
NAME	PHP NO.			
AGND	26, 32, 36	Supply	–	Analog circuit ground terminals. These terminals should be tied together to the low-impedance circuit board ground plane.
AVDD	25, 35	Supply	–	Analog circuit power terminals. A combination of high frequency decoupling capacitors near each terminal is suggested, such as paralleled 0.1 $\mu$ F and 0.001 $\mu$ F. Lower frequency 10 $\mu$ F filtering capacitors are also recommended. These supply terminals are separated from PLLVDD and DVDD inside the device to provide noise isolation. They should be tied at a low-impedance point on the circuit board.
C/LKON	15	CMOS	I/O	<p>Bus manager contender programming input and link-on output. On hardware reset, this terminal is used to set the default value of the contender status indicated during self-ID. Programming is done by tying the terminal through a 10-k<math>\Omega</math> resistor to a high (contender) or low (not contender). The resistor allows the link-on output to override the input. However, it is recommended that this terminal should be programmed low, and that the contender status be set via the C register bit.</p> <p>If the TSB41AB1 is used with an LLC that has a dedicated terminal for monitoring LKON and also setting the contender status, then a 1-k<math>\Omega</math> series resistor should be placed on the LKON line between the PHY and LLC to prevent bus contention.</p> <p>Following hardware reset, this terminal is the link-on output, which is used to notify the LLC to power up and become active. The link-on output is a square-wave signal with a period of approximately 163 ns (8 SYSCLK cycles) when active. The link-on output is otherwise driven low, except during hardware reset when it is high-impedance.</p> <p>The link-on output is activated if the LLC is inactive (LPS inactive or the LCtrl bit cleared) and when:</p> <ul style="list-style-type: none"> <li>a) the PHY receives a link-on PHY packet addressed to this node, or</li> <li>b) the PEI (port-event interrupt) register bit is 1, or</li> <li>c) any of the CTOI (configuration-time-out interrupt), CPSI (cable-power-status interrupt), or STOI (state-time-out interrupt) register bits are 1 and the RPIE (resuming-port interrupt enable) register bit is also 1.</li> </ul> <p>Once activated, the link-on output continues active until the LLC becomes active (both LPS active and the LCtrl bit set). The PHY also deasserts the link-on output when a bus reset occurs unless the link-on output would otherwise be active because one of the interrupt bits is set (that is, the link-on output is active due solely to the reception of a link-on PHY packet).</p> <p>NOTE: If an interrupt condition exists which would otherwise cause the link-on output to be activated if the LLC were inactive, the link-on output is activated when the LLC subsequently becomes inactive.</p>
CNA	N/A	CMOS	O	Cable-not-active output. This terminal is asserted high when there is no incoming bias voltage.
CPS	20	CMOS	I	Cable power status input. This terminal is normally connected to cable power through a 400-k $\Omega$ resistor. This circuit drives an internal comparator that is used to detect the presence of cable power. This terminal should be tied directly to DVDD supply if application does not require it to be used.
CTL0 CTL1	2 3	CMOS	I/O	Control I/Os. These bidirectional signals control communication between the TSB41AB1 and the LLC. Bus holders are built into these terminals.
D0 D1 D2 D3 D4 D5 D6 D7	4 5 6 7 8 9 10 11	CMOS	I/O	Data I/Os. These are bidirectional data signals between the TSB41AB1 and the LLC. Bus holders are built into these terminals.

TERMINAL		TYPE	I/O	DESCRIPTION
NAME	PHP NO.			
DGND	14, 46, 47	Supply	–	Digital circuit ground terminals. These terminals should be tied together to the low-impedance circuit board ground plane.
DV <sub>DD</sub>	21, 44, 45	Supply	–	Digital circuit power terminals. A combination of high-frequency decoupling capacitors near each terminal is suggested, such as paralleled 0.1 $\mu$ F and 0.001 $\mu$ F. Lower frequency 10 $\mu$ F filtering capacitors are also recommended. These supply terminals are separated from PLLV <sub>DD</sub> and AV <sub>DD</sub> inside the device to provide noise isolation. They should be tied at a low-impedance point on the circuit board.
FILTER0 FILTER1	38 39	CMOS	I/O	PLL filter terminals. These terminals are connected to an external capacitor to form a lag-lead filter required for stable operation of the internal frequency multiplier PLL running from the crystal oscillator. A 0.1 $\mu$ F $\pm$ 10% capacitor is the only external component required to complete this filter.
ISO	19	CMOS	I	Link interface isolation control input. This terminal controls the operation of output differentiation logic on the CTL and D terminals. If an optional Annex J type isolation barrier is implemented between the TSB41AB1 and LLC, the ISO terminal should be tied low to enable the differentiation logic. If no isolation barrier is implemented (direct connection), or TI bus holder isolation is implemented, the ISO terminal should be tied high to disable the differentiation logic. For additional information refer to TI application note <i>Galvanic Isolation of the IEEE 1394-1995 Serial Bus</i> , SLLA011.
LPS	13	CMOS	I	<p>Link power status input. This terminal monitors the active/power status of the link layer controller and controls the state of the PHY-LLC interface. This terminal should be connected through a 10-k<math>\Omega</math> resistor either to the V<sub>DD</sub> supplying the LLC, or to a pulsed output which is active when the LLC is powered (see Figure 9). A pulsed signal should be used when an isolation barrier exists between the LLC and PHY. (See Figure 10.)</p> <p>The LPS input is considered inactive if it is sampled low by the PHY for more than 2.6 <math>\mu</math>s (128 SYSCLK cycles), and is considered active otherwise (that is, asserted steady high or an oscillating signal with a low time less than 2.6 <math>\mu</math>s). The LPS input must be high for at least 21 ns to guarantee that a high is observed by the PHY.</p> <p>When the TSB41AB1 detects that LPS is inactive, it places the PHY-LLC interface into a low-power reset state. In the reset state, the CTL and D outputs are held in the logic zero state and the LREQ input is ignored; however, the SYSCLK output remains active. If the LPS input remains low for more than 26 <math>\mu</math>s (1280 SYSCLK cycles), the PHY-LLC interface is put into a low-power disabled state in which the SYSCLK output is also held inactive. The PHY-LLC interface is placed into the disabled state upon hardware reset.</p> <p>The LLC is considered active only if both the LPS input is active and the LCtrl register bit is set to 1, and is considered inactive if either the LPS input is inactive or the LCtrl register bit is cleared to 0.</p>
LREQ	48	CMOS	I	LLC request input. The LLC uses this input to initiate a service request to the TSB41AB1. Bus holder is built into this terminal.
PC0 PC1 PC2	16 17 18	CMOS	I	Power class programming inputs. On hardware reset, these inputs set the default value of the power class indicated during self-ID. Programming is done by tying these terminals high or low. Refer to Table 9 for encoding.
PD	12	CMOS	I	Power-down input. A high on this terminal turns off all internal circuitry except the cable-active monitor circuits, which control the CNA output (64-terminal PAP package only). Asserting the PD input high also activates an internal pulldown on the RESET terminal to force a reset of the internal control logic. (PD is provided for legacy compatibility and is not recommended for power management in place of IEEE 1394a-2000 suspend/resume LPS and C/LKON features.)

TERMINAL		TYPE	I/O	DESCRIPTION
NAME	PHP NO.			
PLL <sub>GND</sub>	41	Supply	–	PLL circuit ground terminals. These terminals should be tied together to the low-impedance circuit board ground plane.
PLL <sub>V<sub>DD</sub></sub>	40	Supply	–	PLL circuit power terminals. A combination of high-frequency decoupling capacitors near each terminal is suggested, such as paralleled 0.1 $\mu$ F and 0.001 $\mu$ F. Lower frequency 10 $\mu$ F filtering capacitors are also recommended. This supply terminal is separated from DV <sub>DD</sub> and AV <sub>DD</sub> inside the device to provide noise isolation. It should be tied at a low-impedance point on the circuit board.
R0 R1	33 34	Bias	–	Current setting resistor terminals. These terminals are connected through an external resistor to set the internal operating currents and cable driver output currents. A resistance of 6.34 k $\Omega$ $\pm$ 1.0% is required to meet the IEEE Std 1394-1995 output voltage limits.
$\overline{\text{RESET}}$	37	CMOS	I	Logic reset input. Asserting this terminal low resets the internal logic. An internal pullup resistor to V <sub>DD</sub> is provided so only an external delay capacitor is required for proper power-up operation (see <i>power-up reset</i> in the Application Information section). The $\overline{\text{RESET}}$ terminal also incorporates an internal pulldown which is activated when the PD input is asserted high. This input is otherwise a standard logic input, and may also be driven by an open-drain type driver.
SE	23	CMOS	I	Test control input. This input is used in manufacturing test of the TSB41AB1. For normal use this terminal may be tied to GND through a 1-k $\Omega$ pulldown resistor or it may be tied to GND directly.
SM	24	CMOS	I	Test control input. This input is used in manufacturing test of the TSB41AB1. For normal use this terminal should be tied to GND.
SYSCLK	1	CMOS	O	System clock output. Provides a 49.152-MHz clock signal, synchronized with data transfers, to the LLC.
TESTM	22	CMOS	I	Test control input. This input is used in manufacturing test of the TSB41AB1. For normal use this terminal should be tied to V <sub>DD</sub> .
TPA+	30	Cable	I/O	Twisted-pair cable A differential signal terminals. Board traces from the pair of positive and negative differential signal terminals should be kept matched and as short as possible to the external load resistors and to the cable connector.
TPA–	29	Cable	I/O	
TPB+	28	Cable	I/O	Twisted-pair cable B differential signal terminals. Board traces from the pair of positive and negative differential signal terminals should be kept matched and as short as possible to the external load resistors and to the cable connector.
TPB–	27	Cable	I/O	
TPBIAS	31	Cable	I/O	Twisted-pair bias output. This provides the 1.86 V nominal bias voltage needed for proper operation of the twisted-pair cable drivers and receivers, and for signaling to the remote nodes that there is an active cable connection.
XI XO	42 43	Crystal	–	Crystal oscillator inputs. These terminals connect to a 24.576-MHz parallel resonant fundamental mode crystal. The optimum values for the external shunt capacitors are dependent on the specifications of the crystal used (see <i>crystal selection</i> in the Application Information section). When an external clock source is used, XI should be the input and XO should be left open, and the clock must be supplied before the device is powered on.

## IC7401 - 4x10bit Decodificador de Vídeo Digital com microvision

## DIAGRAMA EM BLOCO

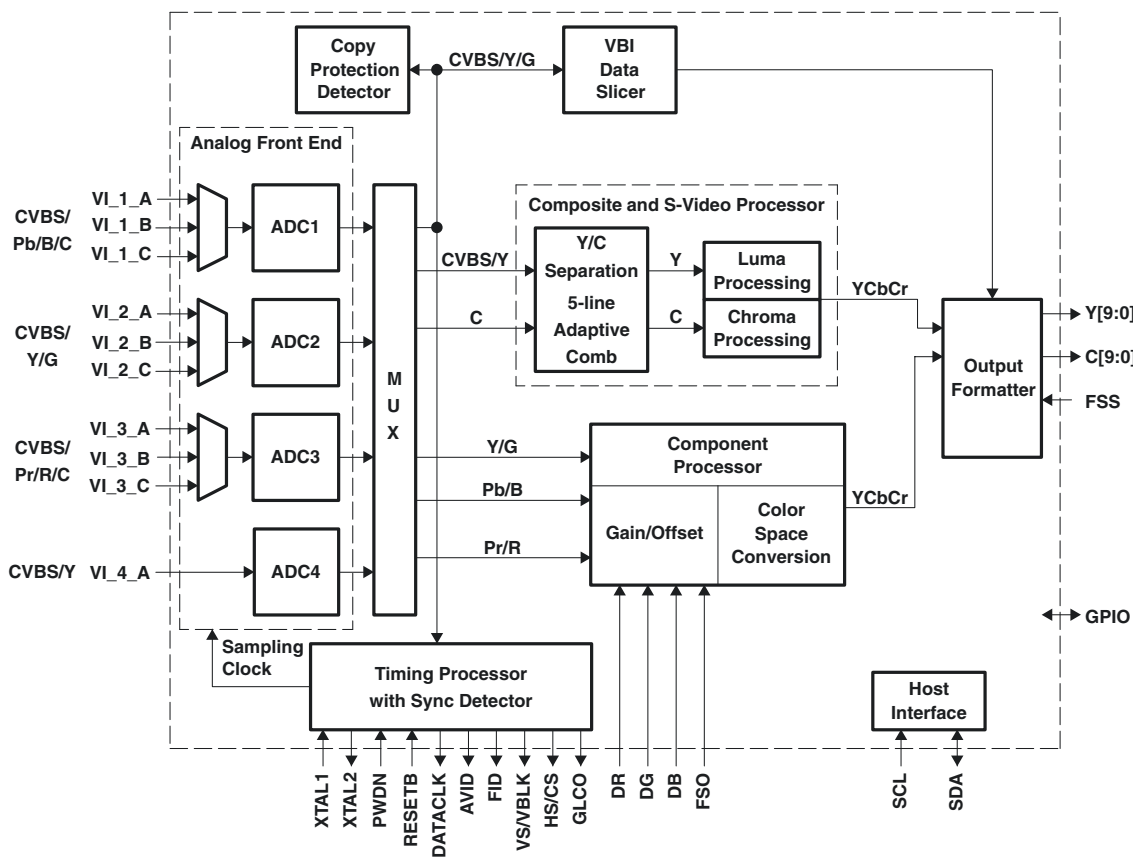


Figura 8-13

## CONFIGURAÇÃO DO PINO

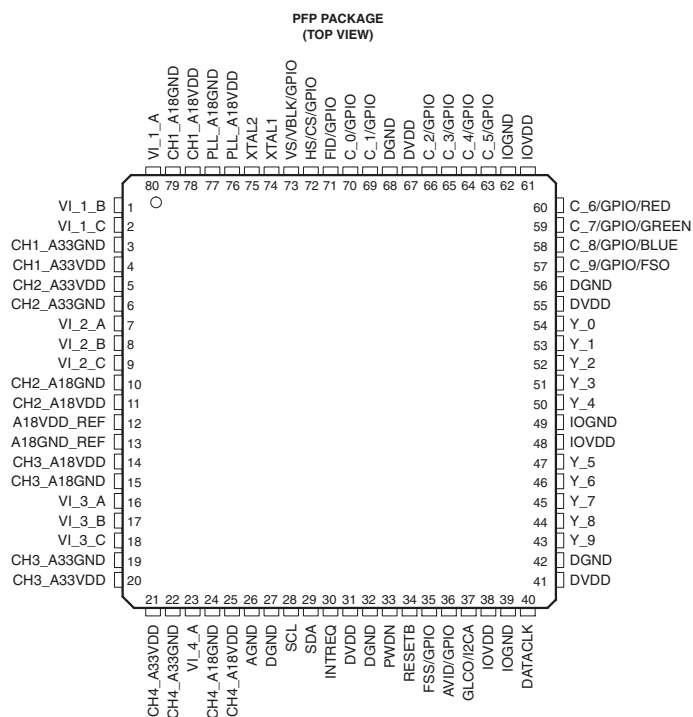


Figura 8-14

## DESCRIÇÃO DO PINO

TERMINAL NAME	NUMBER	I/O	DESCRIPTION
<b>Analog Video</b>			
VI_1_A	80	I	VI_1_x: Analog video input for CVBS/Pb/B/C
VI_1_B	1		VI_2_x: Analog video input for CVBS/Y/G
VI_1_C	2		VI_3_x: Analog video input for CVBS/Pr/R/C
VI_2_A	7		VI_4_A: Analog video input for CVBS/Y
VI_2_B	8		Up to 10 composite, 4 S-video, and 2 composite or 3 component video inputs (or a combination thereof) can be supported.
VI_2_C	9		
VI_3_A	16		The inputs must be ac-coupled. The recommended coupling capacitor is 0.1 $\mu$ F.
VI_3_B	17		
VI_3_C	18		
VI_4_A	23		The possible input configurations are listed in the input select register at I <sup>2</sup> C subaddress 00h (see Section 2.11.1).
<b>Clock Signals</b>			
DATACLK	40	O	Line-locked data output clock.
XTAL1	74	I	External clock reference input. It may be connected to an external oscillator with a 1.8-V compatible clock signal or a 14.31818-MHz crystal oscillator.
XTAL2	75	O	External clock reference output. Not connected if XTAL1 is driven by an external single-ended oscillator.
<b>Digital Video</b>			
C[9:0]/ GPIO[9:0]	57, 58, 59, 60, 63, 64, 65, 66, 69, 70	O	Digital video output of CbCr, C[9] is MSB and C[0] is LSB. Unused outputs can be left unconnected. Also, these terminals can be programmable general-purpose I/O. For the 8-bit mode, the two LSBs are ignored.
D_BLUE	58	I	Digital BLUE input from overlay device
D_GREEN	59	I	Digital GREEN input from overlay device
D_RED	60	I	Digital RED input from overlay device
FSO	57	I	Fast-switch overlay between digital RGB and any video
Y[9:0]	43, 44, 45, 46, 47, 50, 51, 52, 53, 54	O	Digital video output of Y/YCbCr, Y[9] is MSB and Y[0] is LSB. For the 8-bit mode, the two LSBs are ignored. Unused outputs can be left unconnected.
<b>Miscellaneous Signals</b>			
FSS/GPIO	35	I/O	Fast-switch (blanking) input. Switching signal between the synchronous component video (YPbPr/RGB) and the composite video input. Programmable general-purpose I/O
GLCO/I <sup>2</sup> CA	37	I/O	Genlock control output (GLCO). Two Genlock data formats are available: TI format and real time control (RTC) format. During reset, this terminal is an input used to program the I <sup>2</sup> C address LSB.
INTREQ	30	O	Interrupt request
PWDN	33	I	Power down input: 1 = Power down 0 = Normal mode
RESETB	34	I	Reset input, active low



TERMINAL NAME	NUMBER	I/O	DESCRIPTION
<b>Host Interface</b>			
SCL	28	I	I <sup>2</sup> C clock input
SDA	29	I/O	I <sup>2</sup> C data bus
<b>Power Supplies</b>			
AGND	26	I	Analog ground. Connect to analog ground.
A18GND_REF	13	I	Analog 1.8-V return
A18VDD_REF	12	I	Analog power for reference 1.8 V
CH1_A18GND CH2_A18GND CH3_A18GND CH4_A18GND	79 10 15 24	I	Analog 1.8-V return
CH1_A18VDD CH2_A18VDD CH3_A18VDD CH4_A18VDD	78 11 14 25	I	Analog power. Connect to 1.8 V.
CH1_A33GND CH2_A33GND CH3_A33GND CH4_A33GND	3 6 19 22	I	Analog 3.3-V return
CH1_A33VDD CH2_A33VDD CH3_A33VDD CH4_A33VDD	4 5 20 21	I	Analog power. Connect to 3.3 V.
DGND	27 32 42 56 68	I	Digital return
DVDD	31 41 55 67	I	Digital power. Connect to 1.8 V.
IOGND	39 49 62	I	Digital power return
IOVDD	38 48 61	I	Digital power. Connect to 3.3 V or less for reduced noise.
LL_A18GND	77	I	Analog power return
LL_A18VDD	76	I	Analog power. Connect to 1.8 V.
<b>Sync Signals</b>			
HS/CS/GPIO	72	I/O	Horizontal sync output or digital composite sync output Programmable general-purpose I/O
VS/VBLK/GPIO	73	I/O	Vertical sync output (for modes with dedicated VSYNC) or VBLK output Programmable general-purpose I/O
FID/GPIO	71	I/O	Odd/even field indicator output. This terminal needs a pulldown resistor. Programmable general-purpose I/O
AVID/GPIO	36	I/O	Active video indicator output Programmable general-purpose I/O

## IC7595 - Séries Detector de Tensão com Atraso Programável

## DIAGRAMA EM BLOCO

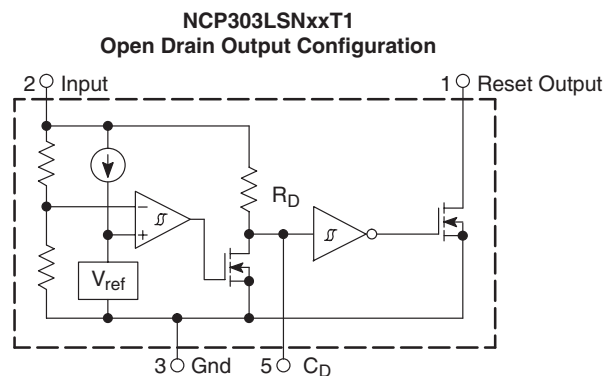
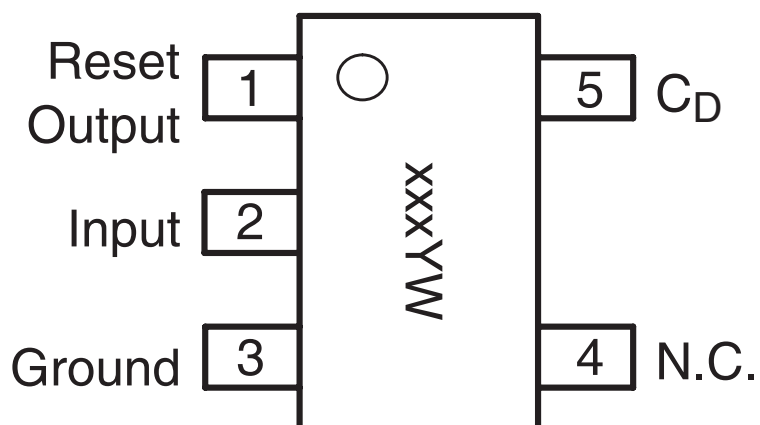


Figura 8-15

## CONFIGURAÇÃO E DESCRIÇÃO DO PINO

## PINOS CONECTORES E DIAGRAMA

## VISTA SUPERIOR



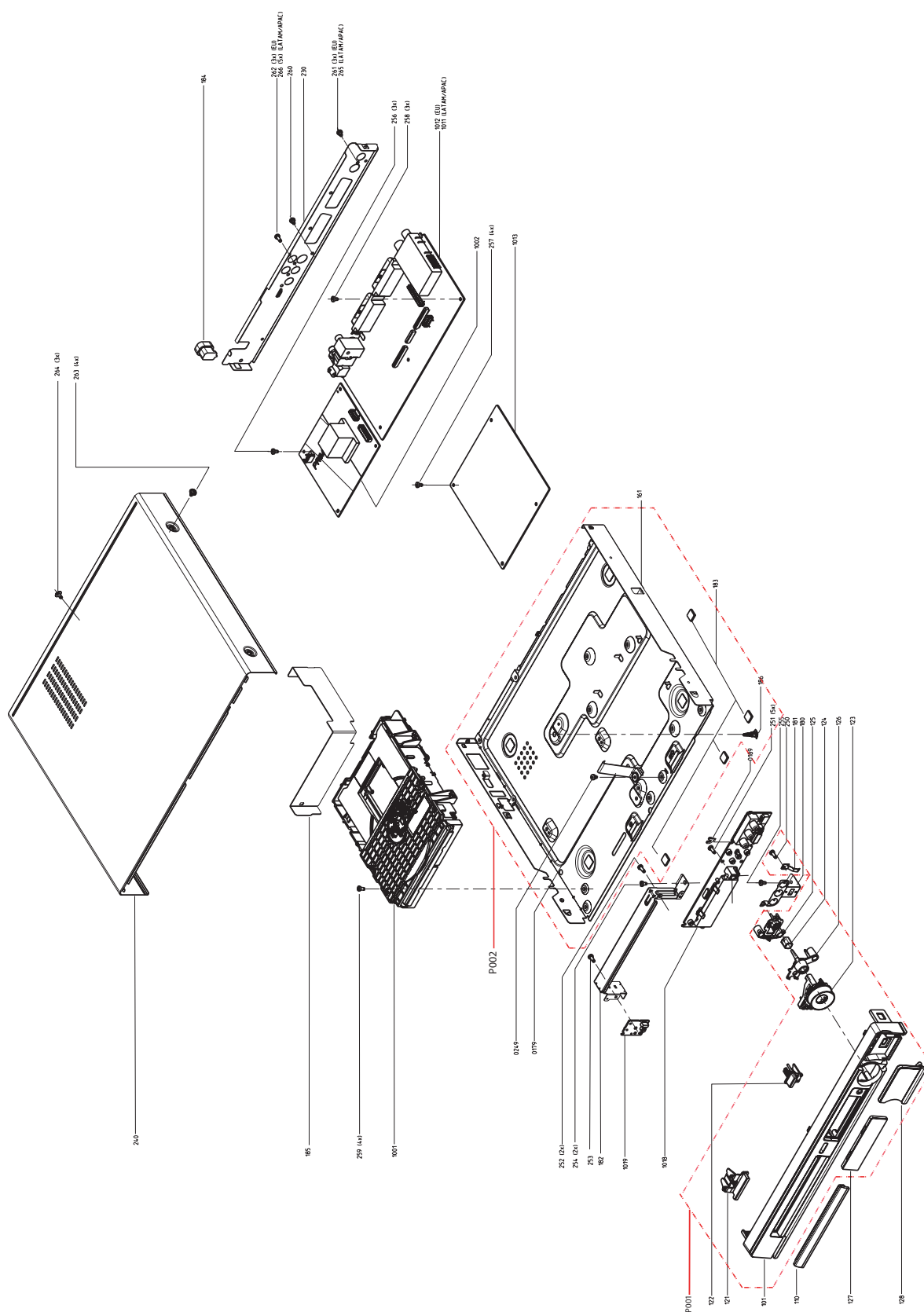
xxx = 302 or 303

Y = Year

W = Work Week

Figura 8-16

## VISTA EXPLODIDA DO APARELHO



3139 249 3586 2006-C

Figura 9-1